

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-216735**

(43)Date of publication of application : **10.08.2001**

(51)Int.Cl. **G11B 20/10**

G11B 5/09

H03H 15/00

H04B 3/06

(21)Application number : **2000-371488**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **31.03.1995**

(72)Inventor : **SATO NAOKI**
MITA SEIICHI
MIYAZAWA SHOICHI
TAKASHI TERUMI
HORI YOSUKE
WATABE YOSHIHISA
HIRANO AKIHIKO
MINOJIMA SATOSHI
MIYASAKA HIDEKI
NITTA TOSHIHIRO
HIRAI TOMOAKI
SHIMOKAWA TATSUSHI
SHIDA KOJI
OUCHI YASUhide

(30)Priority

Priority number : **06175094**

Priority date : **27.07.1994**

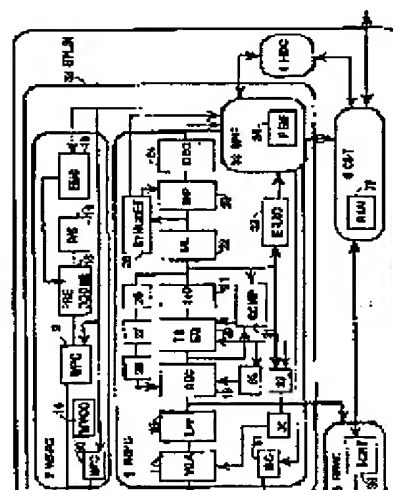
Priority country : **JP**

(54) SIGNAL PROCESSING CIRCUIT AND INFORMATION RECORDING AND REPRODUCING DEVICE

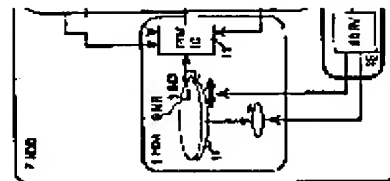
(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the time required for optimizing an equalization circuit, optimizing various kinds of conditions in recording and reproducing in a magnetic recording and reproducing device, and to constitute a signal processing circuit for realizing it.

SOLUTION: The circuit is provided with an automatic gain adjusting circuit which is connected to the output of the equalizing circuit 20 to detect the amplitude of the output signal of the equalizing circuit one by one and consists of a variable gain amplifier circuit(VGA) 17, a gain control circuit (GCC) 29 and a



DAC for AGC of a current output type (VDAC) 30, an identification circuit 44 receiving the output signal of the circuit 20 as an input signal to identify the output signal, an error calculating circuit 41 for calculating an error concerning the amplitude of a signal at the circuit 44 from the input signal and the output signal of the circuit 44, a discrimination circuit 56 setting a threshold value and outputting a count signal with an error signal equal to or larger than this threshold value, and a counter 49 for counting this count signal.



LEGAL STATUS

[Date of request for examination] 13.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3716175

[Date of registration] 02.09.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-216735

(P2001-216735A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 A
5/09	3 1 1	5/09	3 1 1 Z
	3 2 1		3 2 1 A
H 0 3 H 15/00		H 0 3 H 15/00	
H 0 4 B 3/06		H 0 4 B 3/06	B
審査請求 未請求 請求項の数12 O L (全 30 頁)			

(21)出願番号 特願2000-371488(P2000-371488)

(62) 分割の表示 特願平7-75009の分割

(22) 出願日 平成7年3月31日(1995.3.31)

(31) 優先權主張番号 特願平6-175094

(32)優先日 平成6年7月27日(1994.7.27)

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐藤 直喜

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72)発明者 三田 誠一

神奈川県小田原市国府津2880番地 株式会社

社日立製作所ストレージシステム事業部内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

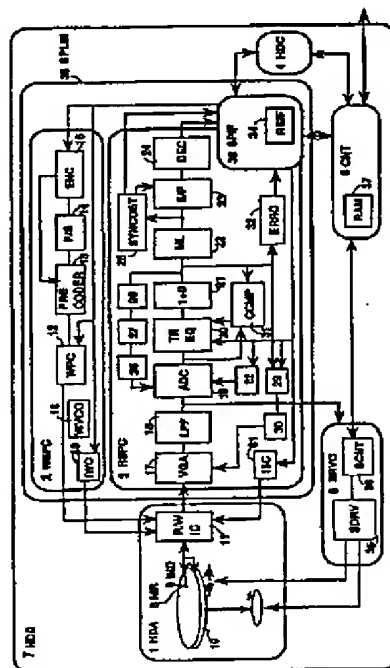
(54) 【発明の名称】 信号処理回路及び情報記録再生装置

(57)【要約】

【課題】磁気記録再生装置において、等化回路の最適化、記録及び再生時の各種条件の最適化などを短時間に行う。及びそれを実現する信号処理回路を構成する。

【解決手段】等化回路20の出力に接続され等化回路の出力信号の振幅を逐次的に検出する可変利得増幅回路

(VGA) 17と利得制御回路(GCC) 29と電流出力型AGC用DAC(VDAC) 30とからなる自動利得調整回路と、等化回路20の出力信号を入力信号として受け出力信号を識別する識別回路44と、入力信号と識別回路44の出力信号とから識別回路44における信号の振幅に関する誤差を算出する誤差算出回路41と、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別回路56と、このカウント信号をカウントするカウンタ49とを備える。



【特許請求の範囲】

【請求項1】等化手段と、この等化手段の出力に接続され前記等化手段の出力信号の振幅を逐次的に検出する自動利得調整手段と、前記等化手段の前記出力信号を入力信号として受け前記出力信号を識別する識別手段と、前記入力信号と前記識別手段の出力信号とから前記識別手段における信号の振幅に関する誤差を算出する誤差算出手段と、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを備えた信号処理回路。

【請求項2】前記識別手段の識別レベル数はレジスタで設定する請求項1記載の信号処理回路。

【請求項3】前記自動利得調整手段の目標振幅値をレジスタ設定によって可変とする目標振幅値設定手段を更に備えた請求項1記載の信号処理回路。

【請求項4】複数の記録再生領域を有する記録媒体と、この記録媒体の各記録再生領域に好適な目標振幅値を記憶する記憶手段と、

前記記録媒体に情報記録する記録ヘッドと、

この記録ヘッドに接続され、等化手段と、この等化手段の出力に接続され前記等化手段の出力信号の振幅を逐次的に検出する自動利得調整手段と、前記等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、この識別手段の識別レベルを設定するレジスタとを有し、前記記憶再生領域が選択された際に該当する記憶再生領域の目標振幅値を設定される信号処理手段と、を備えた情報記録再生装置。

【請求項5】情報を保持する記録媒体と、

前記記録媒体に情報を記録する記録ヘッドと、

前記記録ヘッドに接続され、この記録ヘッドの記録電流を設定するレジスタと、等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段とを備え、

記録データを単一記録周波数状とし、前記識別手段の識別レベル数を1とし、前記記録ヘッドの記録電流設定値を変えて前記記録媒体に記録し、これを再生する毎に前記判別手段の1つ以上の閾値での前記カウント手段のカウント値をそれぞれ記憶し、このカウント値から最も誤差分布が小さくなる時の記録電流値を算出し、前記記録ヘッドの記録電流値を最適電流値とする情報記録再生装置。

【請求項6】データを保持する記録媒体と、

前記記録媒体にデータを記録する記録ヘッドと、

磁気抵抗効果型素子を用い前記記録媒体に記録されたデータを再生する再生ヘッドと、

前記再生ヘッドのセンス電流設定レジスタと、このレジスタからのセンス電流出力端子と、

等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段とを備え、

前記データを磁化の反転密度が最も小さくなる様にし、前記識別手段の出力を常時0とし、センス電流設定を変える毎に前記判別手段の1つ以上の閾値でのカウント値をそれぞれ記憶し、このカウント値から最も誤差分布が小さくなる時のセンス電流を算出し、このセンス電流値を最適センス電流値とする情報記録再生装置。

【請求項7】情報を保持する記録媒体と、

前記記録媒体に情報を記録する記録ヘッドと、

前記記録ヘッドに接続され、直流オフセット補正用のオフセット設定回路とオフセット補正レジスタと、等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段とを備え、

この信号処理手段の入力を単一周波数状とし、前記識別手段の識別レベル数を1とし、前記判別手段の1つ以上の閾値で、前記オフセット補正レジスタによりオフセット補正量の設定を変える毎に前記カウント手段のカウント値をそれぞれ記憶し、このカウント値から最適オフセット補正量を算出する情報記録再生装置。

【請求項8】記録データを保持する記録媒体と、

前記記録媒体に記録データを記録する記録ヘッドと、

前記記録ヘッドに接続され、等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、前記等化手段の特性を与える係数値レジスタと、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段とを備え、

記録データをランダム的なデータとし、前記識別手段の識別レベル数を2とし、前記判別手段の1つ以上の閾値で、前記係数値レジスタの設定を変える毎に前記カウント手段のカウント値をそれぞれ記憶し、このカウント値から最も誤差の分布が小さくなる時の係数値を算出し、この係数値を最適係数値とする情報記録再生装置。

【請求項9】記録データを保持する記録媒体と、

前記記録媒体に記録データを記録する記録ヘッドと、

前記記録ヘッドに接続され、等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、前記等化手段の特性を与える係数値レジスタと、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段と、

前記データ記録時の磁化反転位置をデータシーケンスに

応じて補正する記録補正手段と、

この記録補正手段の補正値を記憶する補正値レジスタとを備え、

記録データをランダムなデータとし、前記識別手段の識別レベル数を"2"とし、判別手段の1つ以上の閾値で、前記補正値レジスタの設定を変えて前記記録媒体に記録し、これを再生する毎に前記カウント手段のカウント値をそれぞれ記憶し、このカウント値から最も誤差の分布が小さくなる時の前記係数値レジスタの値を算出し、これを最適補正値とする情報記録再生装置。

【請求項10】記録データを保持する記録媒体と、前記記録媒体に記録データを記録する記録ヘッドと、前記記録ヘッドに接続され、等化手段と、この等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、前記等化手段の特性を与える係数値レジスタと、閾値を設定してこの閾値以上の誤差信号でカウント信号を出力する判別手段と、このカウント信号をカウントするカウント手段とを有する信号処理手段と、前記記録媒体の記録再生に好適な、記録電流設定値、センス電流設定値、直流オフセット設定値、等化回路の係数値、記録補正手段の補正値のうち、少なくともいずれか1つの設定値を記憶する記憶手段と、電源投入時、或るいは記録再生領域の選択時に、前記の少なくともいずれか1つの設定値を前記記憶手段から読み出し、前記信号処理手段に設定する手段とを備えた情報記録再生装置。

【請求項11】等化手段と、この等化手段の出力に接続され前記等化手段の出力信号の振幅を逐次的に検出する自動利得調整手段と、前記等化手段の前記出力信号を入力信号として受け閾値以上の入力信号でカウント信号を出力する判別手段と、この判別手段から出力されるカウント信号をカウントするカウント手段と、前記閾値を設定するレジスタ手段とからなる誤差検出手段とを備えた信号処理回路。

【請求項12】複数の記録再生領域を有する記録媒体と、

この記録媒体の各記録再生領域に好適な各種記録再生パラメータ値を記憶する記憶手段と、

前記記録媒体に情報記録する記録ヘッドと、

この記録ヘッドに接続され、等化手段と、この等化手段の出力に接続され前記等化手段の出力信号の振幅を逐次的に検出する自動利得調整手段と、前記等化手段の出力信号を入力信号として受け前記出力信号を識別する識別手段と、この識別手段の識別レベルを設定するレジスタとを有し、前記記憶再生領域が選択された際に該当する記憶再生領域の目標振幅値を設定される信号処理手段とを備え、

前記記録再生領域が選択された時に、該当する記録再生領域の最適な前記各種記録再生パラメータを、前記信号処理回路に設定する情報記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気ディスク装置や光磁気ディスク装置の如き情報記録再生装置において利用される信号処理回路に関し、特に、パルシャルレスポンス処理を用いる装置において、等化回路の最適化、記録及び再生時の各種条件、例えば記録電流値、直流オフセット補正量等の最適化など、識別性能を予測する機能を有する等化回路における係数の最適化回路及び方法に関する。

【0002】

【従来の技術】この種の情報記録再生装置においては、信号の記録、再生のために各種の制御パラメータを最適に設定する必要がある。例えば、磁気ディスク装置の記録電流値の最適化は、次のようにして行われているものがある。すなわち、ある記録電流値を設定して磁気ディスクに記録した後、再生信号処理回路の識別器である位相弁別器の弁別窓の位相を変えながらビットエラーレート(BER)を測定し、十分なBER(例えば1.0E-8以下)が得られる弁別窓の位相幅(位相マージン)を測定する。図2にいわゆるバケットカーブを示す。この測定は記録電流値を変える毎に実施され、各記録電流値での位相マージンを測定する。各記録電流値と位相マージンの関係を調べ(図3)、位相マージンが最大となる記録電流値を最適値とするものである。

【0003】この種の位相弁別の装置でのBERでの評価では、図2のようなバケットカーブを得るのに、少なくとも分オーダーの時間を要する。従って、上記の記録電流の最適化のみでも数分間を要することになる。

【0004】実際には、記録電流値の他にも、記録電流の反転位置の補正量(記録補正という)、等化回路の特性、識別器の識別レベルなども最適化のパラメータとなる。

【0005】しかも、これらのパラメータはランダムパターンを用いて評価するために互いに独立して評価できない。従って、精度よく各パラメータの最適化を行うためには、バケットカーブの測定を、パラメータの数と各パラメータの分割数の積だけ実施することが好ましく、最適化には膨大な時間を要する。磁気ヘッドや記録再生回路のパラツキが大きい場合は、装置やヘッド毎の最適化が必要となり、さらに膨大な時間が必要となる。

【0006】また、振幅弁別で識別する場合については、特開平3-144969号公報記載の技術がある。この方法は、識別器入力デジタル信号の系列と基準信号の系列とを比較し、誤差値のヒストグラムを測定することにより装置のBERを予測する。ヒストグラムを十分な精度で測定するのに要するビット数は、高々数千から数万ビットでよく、BERを直接測定する前述の位相弁別での従来例(1.0E+8ビット以上)と比較して極めて少なくてもよく、各種パラメータの最適化に要する

時間も短時間で済む。

【0007】しかし、特開平3-144969号公報記載の装置でのBERの予測による評価では、誤差値のヒストグラムを測定するための比較的大規模な評価機構が必要である。リアルタイムで誤差値を判定すると共に、ヒストグラムの本数だけカウンタかメモリが必要となる。このヒストグラムの測定を装置内部で実施する場合は、回路規模の増大が避けられない。また、基板上で識別器入力信号をモニタしながら装置外部でヒストグラムを測定する場合は、装置のビットレートでの測定を実施することから100Mbpsを越える高速転送対応の装置では、実装上の極めて大きな困難が伴う。

【0008】一方、等化回路のタップ係数を最適化する方法については、特開平2-150114号公報に記載されている方法がある。これは、磁気ディスク装置や光磁気ディスク装置の如き情報記録再生装置の、一つの磁化反転に対応する再生波形（いわゆる孤立磁化再生波形）が、ローレンツィアン波形で模擬できるように波形前後の裾野の引き方がほぼ対象であることから、3タップの対称係数のトランスバーサル型等化回路、いわゆる余弦等化回路の係数補正手段と方法を示したもので、磁気ディスク上のフォーマットにユーザーデータに先立って数バイトのトレーニングエリアを設けて、リアルタイムに係数補正するものである。

【0009】余弦等化回路のような1つだけのタップ係数を最適化する場合は、上記の特開平2-150114号公報に開示された手法が好ましい。しかし、より高密度に記録しようとする、再生波形の分解能が低下して、裾野が長く尾を引くとともに、再生波形の対称性が崩れるために、振幅特性だけを粗く調整する余弦等化回路では十分な等化性能が得られなくなる。

【0010】一方、複数のタップ係数の最適値を、比較的高精度に得ることができる係数補正アルゴリズムとしては、CLMS（クリップトリストミーンスクエア；CLMS等の逐次補正型の係数補正アルゴリズム）が知られる。しかし、等化回路のためのクロックを等化回路の後段で得られる信号から復元する装置では、係数補正過程において等化回路のタップ係数が非対称になることによる位相特性とクロックの位相との競合が発生し、等化回路の特性は定まらない。また、等化回路と係数補正回路部分の遅延やデジタル回路の有限ビット数の影響によって収束状態での係数の振動が避けられないといった問題が生じ、十分な性能が得られない。

【0011】また、上記係数補正動作を実行するためには、HDC4がデータ領域で正常にリードゲートをあげる必要があり、このためには最適化されていない等化回路の条件でも少なくともIDは読めなければならない。したがって、AGC/PLLの引込み用のエリアとデータ領域の区切りを示すデータパターン（ここではシンクバイトという）は、識別しやすい特定のパターンとする

必要がある。

【0012】さらには、こうした信号処理回路をLSI化する場合、回路規模が膨大となることから、チップ面積や消費電力、ピン数、コスト等を考慮することが重要である。全ての構成要素を含む1チップのLSIとして実現できれば好ましい。しかし例えば消費電力が大きい場合、2チップ以上に分割せざるを得ないなど、どの部位で切り分けるかが重要となる。

【0013】

10 【発明が解決しようとする課題】本発明の目的は、逐次補正型の係数補正回路と等化回路との組合せにおいて、高精度に振幅特性を補正すると共に、位相特性も補正できる高性能でより小規模な回路で実現できる信号処理回路、或るいはこれを用いた情報記録再生装置を提供することである。

【0014】本発明の他の目的は、情報記録再生装置の各種制御パラメータの最適化を比較的短時間で実現できる各種制御パラメータの最適化方法および装置を提供することである。

20 【0015】本発明の他の目的は、再生信号の処理回路を複数チップのLSIに分割して実現する場合のより効率的なLSIの構成を提供することである。

【0016】

【課題を解決するための手段】上記本発明の目的は以下の構成に係る等化回路および逐次補正型の係数補正回路を含む信号処理回路により達成される。

【0017】この信号処理回路は、5タップ以上のトランスバーサル型の等化回路が用いられ、等化回路のタップ係数のうち、センタータップの両隣のタップ係数は同一値に規定される。本発明者等によるシミュレーション結果から、センタータップの両隣のタップ係数を同一値とすれば、両端の2つのタップ係数をフリーにしても、自動位相同期回路の位相特性との競合が避けられ、逐次補正型の係数補正回路であっても、安定に係数補正が可能となることがわかった。これは、最低でも両端に2つ設けたタップ係数が異なる値をとることによって、等化回路に入力される信号が位相歪を持っていても、等化後の波形歪みを最小限にできるからである。この時、信号の位相歪は孤立波形の前後対称性 Tas として現れ、

40 $Tas = |T1 - T2| / PW50$

$(PW50 = T1 + T2)$

として定義すると、本発明によれば $Tas = 1\%$ でも、ほぼウィナーフィルタ（自乗誤差を最小とする最適フィルタ）と同等の等化性能が得られる。ここで、上式における各記号は、 $PW50$ が半値幅、 $PW50$ の前縁部を $T1$ 、後縁部を $T2$ とする。尚、シミュレーション結果から、等化回路に入力される信号の半値幅 $PW50$ とデータ周期を Tb との比（チャネル密度という） S が、

50 $S = PW50 / Tb > 2$

となる場合は、等化回路のタップ数は7タップ以上が好ましい。5タップでは、等化回路の出力での誤差が大きく、良好な装置性能が得られないからである。この場合も、等化回路のタップ係数のうち、センタータップの両隣のタップ係数が同一値に規定されるだけであり、他の両端側4タップは、異なる係数値をとることができる。

【0018】本発明では、5タップ以上のトランスバーサル型の等化回路において、等化回路のタップ係数のうち、上述のようにセンタータップの両隣だけでなく、そのセンタタップから対称の位置のタップ係数をそれぞれ同一値とするのが好ましい場合がある。等化回路に入力される信号のインパルス応答の対称性が良ければ、分解能が低くても高精度の等化が可能となるからである。これによって、上述したように位相特性の競合が発生しないという効果に加え、全タップが対象タップ位置の2ビットの平均的な相関信号によって係数の補正が行なわれるので、入力信号の雑音の大きさが約0.7倍に低減でき安定性のよい係数補正が可能である。

【0019】本発明はまた、トランスバーサル型の等化回路を用いるものにおいて、等化回路の負の係数値の設定をタップ遅延手段の出力を反転して用いることにより、正の係数値で設定できるようにするのが好ましい。磁気記録の孤立磁化再生波形のように、比較的単調に裾を引く波形の場合、この波形を等化するトランスバーサル型の等化回路のタップ係数は、センタータップの係数の符号を正とすると、その両サイドに向かって、負、正、負、正、…と交互に符号が入れ替わる。従って、予め負の係数になると推定されるタップ位置のデータを反転して出力させることが可能となり、この結果、等化回路の係数ビットの符号がなくなり、回路規模が削減される。

【0020】本発明において、タップ係数はレジスタに設定するのが好ましい。トランスバーサル型等化回路の特定のタップ位置で係数値を"0"とし、係数を補正する動作を停止する。これによって、タップ数を小さく設定した場合の、最良な係数補正が可能となり、さらに、タップ係数が"0"部分での消費電力が減少する。

【0021】等化回路の入力信号は、例えばバーチャルレスポンス波形に処理されて係数補正回路に入力されるのが好ましい。これによって、係数補正回路の高精度化が図られ、ランダムな任意のデータパターンでの係数補正が可能となり、ユーザーサイトでの係数補正が可能である。例えば、磁気ディスク装置において、経時的に磁気ヘッドやディスク媒体の特性が変化する場合でも、装置上で常時最適な等化回路条件を保持できる。

【0022】本発明に係る等化回路の係数補正は、例えば次の手段を備えて行われる。即ち、等化回路の入力信号を簡易識別する簡易識別手段と、等化回路の出力信号と識別手段とから誤差信号を算出する誤差算出手段と、簡易識別手段の出力信号を遅延させる遅延手段と、遅延

手段の出力信号と誤差算出手段の出力信号との相関値を算出する相関値算出手段と、相関値算出手段の出力信号を逐次加算する相関値加算手段と、相関値加算手段の出力信号を一定回数加算した信号から係数補正量を算出する係数補正量算出手段と、係数補正量算出手段の出力信号で等化回路の係数値を補正する係数誤差補正手段を備え、係数補正回路を、係数補正を実施した後、等化回路に入力された信号が出力されるまでの遅延時間以上、相関値の逐次加算を休止するようにしたものである。

【0023】これによれば、係数を補正しながら相関データを得ることはせず、相関データの蓄積は、常に一定のタップ係数値のもとで実施される。従って、本手段による係数補正回路は、従来のCLMS（クリップトリストミーンスクエア）で生じうるループ遅延による誤差が生じない。更に、本質的には開ループであり、平均化（本手段では相関値算出手段に対応）等の信号処理を十分に実施でき、有限ビット等の影響も小さくでき、より高精度化が期待できる。

【0024】さらに、上記遅延手段の遅延量を制御する遅延量制御手段と、補正するタップ係数を遅延量制御手段と連動して選択する選択手段と、係数誤差補正手段の補正したタップ係数値を一時的に保持する係数一時保持手段とを備えるようにし、遅延量をタップ係数の補正量算出時には一定とし、選択手段を制御することによって各タップ係数の係数値が決定した時点で全タップ係数を補正するようにしてもよい。上述したように、本発明による係数補正手段は、基本的に開ループとなる。従って、等化回路に入力される信号の線形性とランダム性が保証できれば、各タップ係数を同一情報（信号）で補正する必要はない。遅延量制御手段と選択手段を用いてタップ係数を時分割で補正することが可能であり、これによって回路規模が大幅に削減される。

【0025】更に上記構成において、等化回路の係数補正回路の入力信号である等化回路の入力信号と等化回路の出力信号とを間引いて入力することもできる。前述のように、係数補正手段では、タップ係数位置に対応した等化回路入力信号と等化回路の出力信号の誤差信号が得られればよい。従って、等化回路入力信号と等化回路の出力信号の誤差信号は必ずしも連続して得る必要はなく、このように間引いてもよい。間引くことによって、係数補正回路の動作周波数を $1/(\text{間引き数}+1)$ にすることができ、回路規模を増加することなく、大幅な低消費電力化が可能となる。

【0026】また、外部で最適な係数値を算出する手段として、トランスバーサル型等化回路に入力する信号を、データクロックの周期で等化回路の全タップ数の2倍以上の長さのデータ区間保持するデータ保持手段を設け、このデータ保持手段の保持データをデータクロックとは別のクロック手段によって外部に出力するようにしてもよい。等化回路のタップ係数を求める手法として

は、前述の逐次修正型の他に、等化回路の入力信号をシリアルに相当量記憶し、これに対応した理想出力を与えることによって、一般的によく知られているウィナーフィルタ解を得る方法がある。これを用いて、保持したデータを外部に取りだし、マトリクス演算によって最適解を得ることが可能である。データ区間長はパターン等を工夫することで、等化回路のタップ数の約2倍程度まで低減できる。但しデータ区間長が長い方が雑音の影響を避けられるので、より良好なタップ係数を得られる。

【0027】本発明はまた、各パラメータを最適化する回路として、下記のように誤差検出回路を構成することができる。

【0028】例えば、識別回路の入力信号を入力信号とする第2の識別回路の入力信号と第2の識別回路の出力信号とから第2の識別回路での誤差信号を算出する誤差算出手段と、一定の閾値を設定して閾値以上の誤差信号でカウント信号を出力する判別手段と、カウント信号をカウントするカウント手段とからなるように構成するものである。信号処理回路内の識別回路への入力信号と、等化回路の目標振幅との誤差信号をこの第2の識別回路と誤差算出回路とで求める。この誤差信号と上記判別手段に設定された一定の閾値とを比較して、誤差信号が閾値以上の場合に判別出力を"1"とし、そうでない場合は"0"とする。上記カウント手段は判別手段の出力が"1"の場合のみカウントアップする。

【0029】上記第2の識別回路の入力信号及び誤差信号は図4に示すようになり、誤差信号は"0"を中心に正負に分布し、ほぼ正規分布とみなされる。従って、誤差信号の分散値と上記判別手段の一定の閾値によって全母数に対するカウントの比が決まる（統計で言うところの母比率）。すなわち、全母数と閾値とわかっているので、カウント数によって誤差信号の分散値が推定できる。一般に装置内の識別器の性能（BER）は、識別器に入力される信号品質（例えば分散値）に依存するので、分散値を最小化することで、各種の装置パラメータの最適化が可能となる。

【0030】さらに、上述したような誤差検出回路において、第2の識別回路の識別レベルをレジスタで設定することも可能である。誤差検出回路の第2の識別回路の識別レベルを任意に設定可能とすれば、閾値を変えての識別が可能となり、この時以下のような利点が生じる。通常第2の識別回路は+1、0、-1の3値を識別するために、+0.5、-0.5の2値の識別レベルを持つ。ここで例えば、等化回路の出力データパターンとして、+1と-1の2値しか取りえないデータパターンを識別する場合、上記の識別レベルでは誤差や雑音の大きさによっては識別誤りが生じやすい。このような場合は、閾値を"0"と設定すれば、実質的に2値の識別回路として動作させることができ、識別性能が向上する

（耐雑音性が2倍に向上）と共に、誤差信号もより正確

な値が得られる。より正確な装置の最適化が可能となる。

【0031】さらに、上記した誤差検出回路において、第2の識別回路の識別レベル数をレジスタで設定することも可能である。第2の識別回路を1つの閾値を持つ2値出力の識別回路として動作させることができれば、特定のデータパターン時に識別性能を向上させる（耐雑音性が2倍に向上）ことが可能であり、誤差信号もより正確な値が得られる。また、第2の識別回路の出力を常に"0"とすれば、等化回路の出力値をそのまま判別手段に入力できる。

【0032】更には、上記誤差検出回路を下記のレジスタ等と共に用いることもできる。例えば、信号処理回路に、記録電流設定レジスタと記録電流出力端子を設けるようにしてもよい。情報記録再生装置の記録ヘッドの記録電流値と信号処理回路に入力される再生出力振幅の関係は、ほぼ図5に示すようになる。一般に再生ヘッドが検出する再生出力振幅が大きいくほど再生信号の品質は良い。この時、例えば信号処理回路の識別手段の入力信号が $\cdots +1, +1, -1, -1, +1, +1 \cdots$ パターンに対応した信号となるようにすると、自動利得調整回路によって平均的な信号振幅は、正負の等化目標値の2レベルのみとなり、"0"に対応するレベルは存在しない。再生出力振幅が小さな程、信号に対して雑音の比率が増加するので、誤差信号が増大し、判別手段に入力される信号の分散も図5に示すように増加する。従って負の適当な閾値で判別し、閾値以上となる場合について記録電流値を変える毎にカウントすれば、カウント値が最大となる記録電流値が最適条件であることがわかる。

【0033】本発明は、信号処理回路に、再生ヘッドのセンス電流を設定するレジスタと、センス電流出力端子を設けることができる。磁気抵抗効果素子を情報記録再生装置の再生ヘッドとする場合、ヘッドのバイアス磁化が最適化されていないと、孤立磁化の極性の違いで再生波形の振幅が異なる現象が生じる。この孤立波形は交流結合して信号処理回路に入力されるため図7に示すように識別信号の"0"レベルがずれる。従って、記録媒体上の磁化状態として最も磁化密度が疎になるような記録パターンで記録し、センス電流を変える毎に以下に示す誤差検出する。

【0034】第2の識別回路の出力を常に"0"とし、等化回路の出力をそのまま判別手段に入力すると共に、判別手段の閾値を"0"に設定して、センス電流を変える毎に、一定期間閾値"0"以上となる場合をカウントする。センス電流によるバイアス磁化が最適化されておらず振幅比が異なる場合には、誤差信号の平均値が"0"からずれるので、カウント値は全母数の $1/2$ とはならない。この時の"0"からのずれが基準値以下であり、かつ一定の負の閾値でのカウント値が最大となるセンス電流値を最適センス電流とする。

【0035】さらに、信号処理回路に、直流オフセット補正用のオフセット設定回路と、オフセット補正レジスタを設け、無信号状態からオフセット量を補正するようにしてもよい。

【0036】等化回路の出力信号がほぼランダムな回路雑音のみとなるようにし、オフセット補正量の設定を変える毎に誤差検出を実施することによって、等化回路出力の誤差信号の平均値のずれが“0”から最も小さくなるオフセット補正量を最適オフセット補正量とする。

【0037】尚、上記と同様の構成の信号処理回路において、単一周波数の信号からオフセット量を補正するようにしてもよい。

【0038】記録データを単一周波数状とし、オフセット補正量の設定を変える毎に誤差検出を実施することによって、等化回路出力の誤差の分散が最も小さいオフセット補正量を最適オフセット補正量とする。

【0039】本発明はまた、上記した信号処理回路において、等化回路に特性を与える係数値レジスタを設ける。記録データをランダムなデータとし、係数値の設定を変える毎に誤差検出を実施することによって、等化回路出力の誤差の分散が最も小さい係数値を最適係数値とする。

【0040】また、データ記録時の磁化反転位置をデータシーケンスに応じて補正する記録補正回路の補正值レジスタを設けるようにしてもよい。記録データをランダムなデータとし、補正值レジスタを変えて記録する度に誤差検出を実施することによって、等化回路出力の誤差の分散が、最も小さい記録補正值を最適補正值とする。

【0041】本発明に係る誤差検出回路の他の例として、識別回路の入力信号を入力信号とし、閾値以上の入力信号でカウント信号を出力する判別手段と、この判別手段から出力されるカウント信号をカウントするカウント手段と、閾値を設定する手段とを有するように構成できる。等化回路の出力信号（識別回路の入力信号）がほぼランダムな回路雑音のみとなるようにし、オフセット補正量の設定を変える毎に誤差検出を実施することによって、等化回路出力の誤差信号の平均値の“0”からのずれが最も小さいオフセット補正量を最適オフセット補正量とする。

【0042】上記のオフセット調整や磁気抵抗効果型再生ヘッドのセンス電流の最適化は第2の識別回路がなくとも可能である。これを実現する信号処理回路の構成としては、識別回路の入力信号を入力信号とし、閾値未満の入力信号でカウント信号を出力する第1の判別手段と、第1の判別手段から出力されるカウント信号をカウントする第1のカウント手段と、閾値を超える入力信号でカウント信号を出力する第2の判別手段と、第2の判別手段から出力されるカウント信号をカウントする第2のカウント手段と、第1のカウント手段のカウント値が

ら第2のカウント手段のカウント値を減算するカウント値算出手段と、閾値を設定する手段とを備える。

【0043】この回路によれば、等化回路の出力信号をそのまま誤差カウントすることによって、オフセット調整の最適化や磁気抵抗効果型再生ヘッドのセンス電流の最適化が可能である。

【0044】尚、この回路において、識別回路の入力信号のうち、符号ビットを除いた信号を入力信号とすることもできる。識別回路の入力信号（等化回路の出力信号）の符号ビットを除くと、この時の信号は、もとの信号が負の場合正の信号に変換され、正の信号の場合変化しない（もとの信号が2の補数表現の場合）。等化回路の出力信号が+1, +1, -1, -1, +1, +1, -1, -1, …というように単一周波数である場合、この時の符号ビットを除いた信号は図7に示すように変換される。従って、判別手段の閾値を等化回路の等化目標値付近に設定すれば、目標値からの誤差の分散を検出できる。

【0045】さらに、上記回路において、識別回路の入力信号のうち、符号ビットを除いた信号を入力信号とする第1のモードと符号ビットも入力信号とする第2のモードとを有し、モードの切り替えをレジスタで設定することができる。これによれば、前述した第2の識別回路を用いるよりもより簡単な回路であり、ほとんど同一の手法でオフセット調整、記録電流の最適化、センス電流の最適化が可能である。

【0046】また、これらの最適化に必要な特定の記録データパターンの記録や、再生の信頼性を向上させるために、データの記録時に、ブリーク手段をデータ開始を示すバイトであるシンクバイトの直前でリセットすることができる。これによって、シンクバイト以降のデータパターンの磁化状態が規定でき、上記各パラメータの最適化に必要な特定のパターンが記録できる。

【0047】本発明は、データ“1”で磁化反転を生じ、データ“0”で記録電流方向を維持する記録方式であるとする、データの先頭が“0”で始まると共に、シリアルなデータ系列中にデータ“1”が連続して存在しないシンクバイトとする手段を用いる。これによって、先行して記録される自動利得調整回路と自動位同期回路のためのデータパターンと干渉せず、かつ記録時の非線形歪も生じにくいシンクバイトとすることが可能となる。従って、記録電流やセンス電流、等化回路の係数が最適化されていなくとも比較的容易に検出できる。

【0048】さらに、上記の構成に加えて、シンクバイトに対応する記録コードデータの“0”と“1”の系列が、シンクバイト以前に連続的に記録されるデータの“0”と“1”の系列に対して、シンクバイトのデータ系列の1/2以上異なっているシンクバイトとする。これによって、先行して記録される自動利得調整回路と自動位同期回路のためのデータパターンを誤ってシンクバ

イトと検出する確率が大幅に減少する。

【0049】本発明はまた、より劣化の少ない信号処理回路を実現するために、自動利得調整回路の目標振幅値を、レジスタ設定によって可変とする。これによって、入力信号の分解能が低い場合、目標振幅値を小さくすることによって、信号処理回路の各部で信号が飽和することを防止することができ、例えばインパルス状の雑音にも耐えうる。また、入力信号の分解能が高い場合は、逆に目標振幅値を大きくすることによって、回路雑音等の回路による劣化を小さくしBERを向上させる。

【0050】本発明はまた、アナログ回路とデジタル回路とが混在し、自動利得調整回路及び自動位同期回路の各制御回路をデジタル回路とする信号処理回路において、大別してアナログチップとデジタルチップの2チップ構成のLSIとし、デジタルチップの自動利得調整回路及び自動位同期回路の各制御回路の出力を電流出力型のD/A変換回路を介してピン出力し、アナログチップの可変利得増幅回路と電圧制御発振回路に入力する。このように、デジタルチップから電流で出力することにより、自身のチップから混入しうる雑音の影響を小さくできると共に、数ビットのデジタル信号として出力する場合に比べて、ピン数も大幅に削減できる。

【0051】

【発明の実施の形態】以下、本発明を磁気ディスク装置に適用した実施例について説明する。

【0052】図1に磁気ディスク装置の全体構成を示す。

【0053】本実施例による磁気ディスク装置(HDD)7は、主にヘッドディスクアセンブリ(HDA)1と、記録信号処理回路(WSPC)2と、再生信号処理回路(RSPC)3と、信号処理インターフェイス(SPIF)33、ヘッドディスクコントローラ(HDC)4と、サーボ信号処理回路(SRVC)5と、装置コントローラ(CNT)6の、7つの主要な機能ブロックから構成されている。この装置には、例えば、パーシャルレスポンスクラス4(PR4)と最尤復号(ML)(あるいはピタビ復号ともいう)を用いた、いわゆるPRML方式が採用される。

【0054】各構成要素は具体的には次のようになっている。

【0055】HDA1は、磁気抵抗効果素子を用いた再生ヘッド(MRヘッド)8、薄膜記録ヘッド(INDヘッド)9、記録再生用プリアンプ(R/WIC)11、磁気ディスク(DISK)10等が備えられる。情報の記録時には、一定回転数で回転するDISK10上に、WSPC2からの情報に応じて反転する記録電流がR/WIC11を介してINDヘッド9に供給され、磁化情報として記録される。

【0056】再生時には、MRヘッド8で検出した微弱な磁化情報をR/WICを介して増幅し、RSPC3に

出力される。尚、INDヘッドの記録電流とMRヘッドのセンス電流の大きさは、WSPC2とRSPC3から制御され、DISK10の回転動作およびINDヘッド9とMRヘッド8のDISK10上の位置決め動作はSRVC5によって制御される。

【0057】WSPC2は、変調回路(ENC)15と並列/直列データ変換回路(P/S)14、記録補正回路(WPC)12、プリコーダ(PRECODER)13、シンセサイザ(WVCO)16、記録電流設定回路(IWC)60等を備える。

【0058】HDC4からの記録情報は、ENC15で磁気記録に適した情報に変換され、更にP/S14でシリアルビット列に変換され、更にプリコード処理をPRECODER13で実施される。その後ビット列が所定の位置に記録されるようにWPC12で記録電流の反転位置が補正されてHDA1に出力される。尚、IWC60の出力電流値は、SPIF33のレジスタ群(RSIF)で制御される。また、ENC15は、HDC4からの記録情報を監視し、プリアンプの直後かつユーザーデータの直前のシンクバイトが検出されると、PRECODER13をシンクバイトの直前でリセットさせ、いつも同じ磁化パターンでシンクバイトが記録されるようにする。

【0059】RSPC3は、可変利得増幅回路(VGA)17と利得制御回路(GCC)29と電流出力型AGC用DAC(VDAC)30とからなる自動利得調整回路(AGC)、電圧制御発振回路(RVCO)28と位相制御回路(PCC)26と電流出力型PLL用DAC(PDAC)27とからなる自動位同期回路(PLL)、プログラマブルフィルタ(LPF)18、A/D変換器(ADC)19、デジタルトランスバースル型等化回路(TREQ)20、(1+D)処理回路(1+D)21、最尤復号器(ML)22、直列/並列データ変換回路(S/P)23、復調回路(DEC)24、シンクバイト検出回路(SYNCDT)25を有する。さらに、係数補正回路(CCMP)31、誤差検出回路(ERRC)32、センス電流設定回路(ISC)61等が設けられる。ここで、とりわけCCMP31、ERRC32、TREQ20等の構成およびこれらの関係が本発明の特徴的なものとなる。

【0060】通常の再生動作時にはHDA1からの再生信号は、VGA17とLPF18とADC19とTREQ20と(1+D)21を介してPR4の出力波形に等化される。この時同時に、(1+D)21の出力で一定の信号振幅になるようにAGC制御が働き、同様に(1+D)21の出力でのサンプル位相が正しくなるようにPLL制御が働く。更にPR4波形はML22で識別され、S/P23とDEC24を介してユーザーデータに再生される。SYNCDT25は上述のシンクバイトを検出した時点でS/P23の変換タイミングを固定さ

せる。

【0061】等化回路20の詳細な構成、係数補正回路31と誤差検出回路32の構成と動作については後述する。ここで、TREQ20やML22はデジタル回路で構成されるが、本発明はアナログ方式の等化回路やMLを搭載した信号処理回路にも容易に適用可能である。しかし、デジタル回路で構成されたものの方が演算等による調整も含め実用的であり、好ましい。以降は、主にデジタル方式を採用した例について実施例を説明する。また、LPF18はブースト機構があっても、あるいはなくとも良い。

【0062】SPIF33は、スクランブラやデスクランブラ、HDC4とのインターフェイス回路、各回路のレジスタインターフェイス(RSIF)34等を含む。この回路ブロックは、通常の記録再生時に、HDC4との間で記録データや再生データを入出力する。また、CNT6との間で上記各種回路ブロックのレジスタ内容を設定したり、レジスタ値を出力したりする。

【0063】HDC4は、誤り訂正回路(ECC)等を含む。ユーザーデータにECCを付加して記録データとしてDISK10に記録し、ユーザーデータと同様にECCも再生する。再生したECCデータによって、ユーザーデータ中の誤りを検出したり、訂正したりする。

【0064】SRVC5は、サーボ位置情報のピークホールド回路(P/H)、ヘッドシークやディスク回転の制御回路(SCNT)36、サーボ関係のドライバ(SDRV)35等を含む。CNT6からの指示で、LPF18の再生波形を解析し、ヘッドシークやディスクの回転を制御する。

【0065】CNT6は、装置バスとの通信制御(BUSC)や、HDA1、WSPC2、RSPC3、SRVC5等の制御を含む。主に本実施例の磁気ディスク装置(HDD)7が接続される上位の計算機からの記録再生命令に沿って、HDD7内部の各回路ブロックを制御する。

【0066】本実施例では、これらの回路のうち、WSPC、RSPC、SPIFの全てとSRVCの一部を、信号処理LSI(SPLSI)38に内蔵している。

【0067】次に図8を参照して、等化回路20と係数補正回路31の構成について説明する。

【0068】等化回路20のタップ係数を設定するレジスタ42に着目する。7タップのトランスバーサル型の等化回路(TREQ)20を用い、等化回路20のタップ係数(K_0 , $K_{\pm 1}$, $K_{\pm 2}$, $K_{\pm 3}$)のうち、センタータップ(K_0)は係数を $K_0 = 1$ で固定とし、両隣のタップ係数($K_{\pm 1}$)を同一値($K+1=K-1$)、共通のレジスタとしている。なお、図8の実施例は7タップの例について記述してあるが、前述のように基本的には5タップ以上であれば良い。実施例では等化回路に入力される信号のチャンネル密度が $S = PW50 /$

$Tb > 2$ となる場合も考慮して7タップとしている。ここで39は遅延素子、40は乗算器、41は加算器である。なお、同一タップ係数に対応したタップ位置の2つのデータは、互いに加算した後に1個の乗算器にて係数乗算してもよいことは明らかである。

【0069】係数補正回路31は、等化回路20の入力信号(ADC出力)の正負の符号のみをビット毎に出力する簡易識別回路43と、 $1+D$ の出力信号と例えば比較器からなる識別回路44とから誤差信号 e を算出する誤差算出回路としての加算器41と、簡易識別回路43の出力信号を遅延させる遅延素子39と、遅延素子39の出力信号と誤差算出回路の出力信号 e との相関値から係数補正量を補正する係数補正量算出回路(DELT KCAL)45と、からなる。

【0070】等化回路(TREQ)20と係数補正回路(CCMP)31の係数補正時の動作について説明する。ここで、CCMP31は、 $(1+D)21$ の出力でPR4等化が正確に行えるように、TREQ20のタップ係数を補正する回路であり、通常の再生動作時には作動させない。

【0071】係数補正は、以下のような手順により行われる。まず、磁気ディスク上の適当な領域にランダムなデータパターンを記録する。次に、CCMP31を動作状態にした上でこのランダムなデータパターンを再生する。これによって、等化回路20の入力信号(ADC出力信号)と等化回路20を経て $1+D$ 処理された信号($1+D$ 出力信号)とが逐次CCMP31に入力される。ADC出力信号はSDET43で符号化され、その出力は遅延素子39で順次シフトされる。この時、識別回路44と加算器41で算出される誤差信号 e と遅延素子39の出力がDELT KCAL45に入力され係数レジスタ42のタップ係数が修正される。

【0072】TREQ20のタップ係数補正動作は、CCMP31の動作期間中、逐次更新を続ける。

【0073】この時、等化回路20のタップ係数のうち、センタータップの両隣の係数($K_{\pm 1}$)は振幅特性と位相特性に大きな影響を与える。もし、係数値の逐次補正過程で $K+1 \neq K-1$ を許容するように設定されると、等化回路20自体が位相特性を持つことになる。この結果、図1に示す自動位相同期回路(PLL)の同期している位相(ADC19のサンプルタイミング)がずれてくる。係数補正回路(CCMP)31は、PLLとは関係なく位相特性を与えることになるので、位相特性が定まらずCCMP31が補正する係数値も安定しない。サンプルタイミングが極端にずれると等化回路の出力での誤差も増大し、タップ係数 $K+1$ と $K-1$ のバランスが極端にずれた時点でPLLの同期も外れる。

【0074】本実施例によれば、 $K+1=K-1$ という制約を付加することによって、係数補正過程においても等化回路のタップ係数のアンバランスによって生じる位

10

20

30

40

50

相特性の変化がほとんど生じない。従って、自動位同期回路の位相特性との競合が避けられ、逐次補正型の係数補正回路であっても、高精度に係数補正が可能となる。また、センタータップの係数を"1"に固定することで、自動利得調整回路(AGC)との競合も避けられる。

【0075】この係数補正アルゴリズムには、例えば通常知られているCLMS(クリップトリーストミーンスクエア)等も可能である。

【0076】本発明による等化回路20の代替例を図9 10を用いて説明する。

【0077】この例では、7タップのトランスバーサル型の等化回路20が用いられる。等化回路20のタップ係数42のうち、センタータップから対称位置のタップ係数(K+1とK-1, K+2とK-2, K+3とK-3)は、それぞれ同一値とされる。後半タップ位置のデータは、前半タップ位置のデータと加算器41によって加算され、乗算器40にそれぞれ入力される。

【0078】この例によれば、レジスタ42の規模を低減できる。また、等化回路20の係数補正過程での、等 20化回路20とPLLとの位相特性の競合が全く発生しない。

【0079】またこの時のCCMP31は、遅延素子39のラッチデータを複数加算することによる平均的な相関信号によって一つの係数の補正を行なえるので、安定性のよい係数補正が可能である。CCMP31の回路規模も、全タップ非対称の場合と比較して補正対象となる係数が約1/2となるので、その回路規模も約1/2で済む。等化回路20自体の回路規模も、最大構成要素である乗算器40の個数が約1/2となるので、その回路 30規模も約1/2で済む。

【0080】尚、本変形例が有効である孤立磁化に対応した入力波形(孤立波形)の前後対称性Tasは7%以下であり、これを超える場合はタップ数を増加しても十分に等化回路の性能が発揮できないため、大きな装置性能劣化が伴う。

【0081】この時、孤立波形の前後対称性Tasは、半値幅PW50の前縁部をT1、後縁部をT2とすると、

$$Tas = |T1 - T2| / PW50$$

$$(PW50 = T1 + T2)$$

として定義している。

【0082】図10に等化回路20の更に他の実施例を示す。

【0083】本例では、7タップのトランスバーサル型の等化回路20を用い、等化回路20の負の係数値の設定をタップ遅延素子39の出力を反転して用いることにより、正の係数値で設定できるように構成している。

【0084】磁気記録の孤立磁化再生波形のように、比較的単調に裾を引く波形の場合、この波形を等化するト 50

ランスバーサル型の等化回路のタップ係数は、センタータップの係数の符号を正とすると、その両サイドに向かって、負、正、負、正、…と交互に符号が入れ替わることを利用している。

【0085】本実施例によれば、予め負の係数になると推定されるタップ位置のデータを反転して出力させることが可能となり、この結果、等化回路の係数ビットの符号がなくなり、等化回路の回路規模が削減される。また、係数設定用のレジスタの規模も削減される。尚、係数値を反転させても同様の効果が得られることは明らかである。

【0086】次に図11を用いて本実施例の係数補正回路(CCMP)31の構成および動作の詳細を説明する。

【0087】本実施例によるCCMP31は、等化回路20の入力信号(ADC出力)を(1+D)処理回路21で(1+D)処理した後に、正負の符号のみをビット毎に出力する簡易識別回路43と、1+Dの出力信号と例えば比較器から構成される識別回路44とから誤差信号eを算出する誤差算出回路としての加算器41と、簡易識別回路43の出力信号を遅延させる遅延素子39と、遅延素子39の出力信号と誤差算出手段の出力信号eとの相関値を算出する相関値算出回路としての乗算器40と、乗算器40の出力信号を逐次加算する相関値加算回路としての加算器41と、加算器41の出力信号を一定回数加算した信号から係数補正量を算出する係数補正方向算出回路(CCAL)48と、CCAL48の出力信号で等化回路の係数値を補正する例えばアップダウンカウンタからなる係数誤差補正回路(COUNTER)49と係数値の入出力を制御するスイッチからなる係数入出力制御回路(IOSEL)50と、タップ数設定スイッチ(TAPSW)46とからなる。

【0088】本実施例による相関値加算回路(加算器)41は、係数補正を実施した後、一定期間相関値の逐次加算を休止するようにする。具体的には、加算器41はデータ周期と同一レート of 加算クロックCLK1で逐次加算され、加算されたデータはCCAL48でCOUNTER49のアップ/ダウン信号に変換される。CLK1で32回の加算操作が実施された後、CLK2によってアップ/ダウン信号をCOUNTER49が受け取り、IOSEL50を介してCOUNTER49に入力されるタップ係数値が更新される。更新されたタップ係数値は、ゲート信号SGTによってIOSEL50を介して等化回路20に反映される。この時、CCMP31の入力信号である1+D出力信号に、直ちに更新されたタップ係数値での出力はでないで、一定期間(例えば等化回路20と1+D処理回路21の遅延時間)経過した後、リセット信号RSを相関値加算回路41に入力して、更新前のタップ係数値での相関値の加算情報を捨てるようにする。更に、タップ数設定レジスタ47の設定

値によって、TAPSW46を制御し、5タップ設定時には7タップのトランスバーサル型等化回路20の係数($K \pm 3$)のタップ位置で係数補正しないようにする。この場合、係数($K \pm 3$)を常時"0"とし、係数($K \pm 3$)に対応する係数補正部位の動作を停止させる。

【0089】本実施例によれば、係数を補正しながら相関データを得ることはせず、休止期間を設けることにより、相関データの蓄積は、常に一定のタップ係数値のもとで実施される。従って、従来の係数補正アルゴリズムであるCLMS(クリップトリーストミーンスクエア)やLMS(リーストミーンスクエア)で生じうるループ遅延(TREQ20や係数補正回路31による遅延)による振動的な誤差が生じない。本質的には開ループであり、ループ遅延を問題にすることなく、平均化(本手段では相関値算出手段に対応)等の信号処理を十分に実施でき(本実施例では32回としたが任意である)、より高精度化が期待できる。また、本実施例では、タップ係数は複数のタップが同時に更新されるため、収束時間が短い。加算回数にもよるが概ね1セクタ程度(数千ビット)の学習量で十分収束する。

【0090】また、等化回路20に入力される信号の分解能が比較的高く、対称性のよい場合は、タップ数の低減が可能である。本実施例によれば、7タップの係数補正で得られた係数の両端の係数値のみを"0"として等化回路に適用した場合に比較して、係数打ち切り誤差が生じない良好な係数での等化が可能となる。さらに、タップ係数を"0"とした部分でのゲートの出力が固定されスイッチングしないので、この部分での消費電流が減少し、回路の消費電力を低減できる。

【0091】尚、本実施例では、等化回路20の入力信号(ADC出力)をパーシャルレスポンス波形処理(1+D処理)21して係数補正回路31に用いたが、図8と同様にこれを用いなくとも構成できることは明らかである。また、簡易識別回路43の出力は、符号のみでなく複数ビットとしてもよい。

【0092】DET44によって得られる誤差信号と等化回路20の入力信号をパーシャルレスポンス波形処理した信号の簡易識別(SDET43)後の信号との相関信号から補正量を算出することにより、相関信号の信号対雑音比が改善される。この結果、係数補正の収束性が改善されるので、データパターンを記憶する手段は不要である。

【0093】この実施例によれば、ランダムな任意のデータパターンでの係数補正が可能となり、ユーザーサイトでの係数補正が可能である。従って、経時的にヘッド媒体の特性が変化する場合でも、例えば電源オン時に係数補正を実施するようにすれば、装置上で常時最適な等化回路条件を維持できる。また、係数補正回路が係数補正を行なうのに必要なデータパターンを特定しないので、装置内や、装置外部にデータパターンを記憶する必

要がなく、回路規模も削減できる。

【0094】一方、磁気ディスク装置では、一般にディスクとヘッドの組合せは変わらないので、ユーザーサイトでの係数補正を実施せず、装置の出荷時に係数補正動作をするのみで十分な性能を維持できる場合がある。この場合、係数補正時に使用した磁気ディスク上の係数補正用のランダムデータパターンを消去した上で出荷することが可能である。この領域をユーザーデータの記憶領域として使用できるので、装置のフォーマット効率が向上できる。

【0095】更に、係数補正回路(CCMP)31の代替変形例について図12を用いて説明する。

【0096】本実施例では、補正するタップ係数を選択するためのスイッチからなる選択回路(TAPSEL)51と、図11で詳細に説明した係数補正量算出回路(DELT KCAL)45と、補正したタップ係数値を一時的に保持するレジスタからなる係数一時保持回路(COEFTEMPRSS)52とを有する。選択回路51と係数一時保持回路52とは連動し、各タップ係数値の補正量算出時には選択回路51は一定のタップ位置を選択する。タップ位置の選択順は、センタに近い方からの順とした(基本的には順番は不問)。選択回路51を制御することによって各タップ係数の係数値が係数一時保持回路52に決定した時点で全タップ係数を係数レジスタ42にセットする(信号KSによる)。

【0097】本実施例によれば、図11を参照して説明したように、本発明による係数補正回路31は、基本的には開ループとなる。従って、等化回路20に入力される信号の線形性とランダム性が保証できれば、各タップ係数を同一情報で(同時に)補正する必要はない。本手段に示すように、選択回路51と係数一時保持回路52とを用いてタップ係数を時分割で補正することが可能であり、これによって回路規模が大幅に削減される。

【0098】更に、係数補正回路(CCMP)31の他の実施例について図13を用いて説明する。

【0099】本例では、等化回路20の係数補正回路31の入力信号であるADC19の出力信号と1+D出力信号とを入力し、間引いたクロックで動作させる。本実施例での間引き数は1であり、間引きクロックの周波数は、データクロック周波数の1/2である。SDET43の出力を、データクロックでラッチした後に間引きする系列と、直接間引きする系列との2系列を用いる。これによって、TREQ20の各タップ位置に対応した入力信号を間引きクロックで得ることができる。

【0100】前述のように、本発明による係数補正回路では、タップ係数位置に対応した等化回路入力信号と等化回路の出力信号の誤差信号が得られればよい。従って、等化回路入力信号と等化回路の出力信号の誤差信号は必ずしも連続して得る必要はなく、本手段のように間引くことが可能である。

【0101】本実施例によれば、間引くことによって、係数補正回路の動作周波数を $1/(間引き数+1)$ にすることができ、回路規模を増加することなく、係数補正動作時の大幅な低消費電力化が可能となる。

【0102】更に図14を用いて、係数を求める手段の代替例を説明する。

【0103】この例では、等化回路の係数補正を外部で実施する構成であり、係数補正回路31は用いない。

【0104】本実施例では、トランスバーサル型等化回路20に入力する信号(ADC19の出力)を、データクロックの周期で等化回路20の全タップ数の2倍以上の長さのデータ区間保持するためのラッチからなるデータ保持回路53を有すると共に、データ保持回路53の保持データをデータクロックとは別のクロック(読み出しクロック)と切り変えることによって外部に出力するスイッチからなる選択回路(CLKSEL)54を用いる。

【0105】等化回路20のタップ係数を求める手法としては、前述の逐次修正型の他に、等化回路の入力信号をシリアルに相当量を記憶し、これらの入力信号列に対応した理想出力列を与えることによって、一般的によく知られているウィナーフィルタ(2乗誤差を最小とするタップ係数を持つフィルタ)係数を得る方法がある。

【0106】本実施例を用いて、保持したデータを外部に取りだし、外部のパソコンや、磁気ディスク装置内のコントローラCNT6等で、マトリクス演算によって最適解を得ることが可能である。

【0107】本実施例によれば、データ保持回路53のデータ区間長はパターン等を工夫することで、等化回路のタップ数の約2倍程度まで低減でき、係数補正回路を構成する場合よりも回路規模を削減できる可能性がある。但しデータ区間長が長い方が雑音の影響を避けられるので、より良好なタップ係数を得られるのは明らかである。

【0108】次に本実施例の各パラメータの最適化のための回路である誤差検出回路(ERRC)32について図15を用いて説明する。

【0109】この回路32は、識別回路(ML)22の入力と同じ入力信号とする例えば比較器からなる第2の識別回路(DET2)55と、入力信号と第2の識別回路55の出力信号とから第2の識別回路での誤差信号を算出する誤差算出回路としての加算器41と、一定の閾値を設定(レジスタ57)して閾値以上の誤差信号でカウント信号を出力する例えば比較器からなる判別回路(DIST)56と、カウント信号をカウントするカウンタ(COUNTER)49とからなる。

【0110】信号処理回路内の識別回路への入力信号と等化回路の目標振幅との誤差信号を上記第2の識別回路と誤差算出回路(即ち加算器41)とで求める。この誤差信号と上記判別手段に設定された一定の閾値とを比較

して、誤差信号が閾値以上の場合に判別出力を"1"とし、そうでない場合は"0"とする。上記カウンタは判別回路の出力が"1"の場合のみカウントアップする。なお、本実施例では、DET2をビット毎の識別器としたが、図1のML22をDET2の代りに用いても良い。

【0111】上記誤差検出回路内の誤差信号は図4に示すように"0"を中心に正負に分布し、ほぼ正規分布とみなされる。従って、誤差信号の分散値と上記判別回路の閾値によって全母数に対するカウントの比が決まる。すなわち、全母数と閾値とカウント数が決まれば誤差信号の分散値が求められる。一般に装置内の識別回路の性能(BER)は、識別回路に入力される信号品質(例えば分散値)で決まるので、分散値を求めることで装置のBERが推定できる。

【0112】また、各パラメータを最適化する場合、各パラメータの設定値を変えることによる分散値の違いを検出できれば十分である。装置性能を支配する個々の要因を個別に抽出して誤差(分散)が最小となるパラメータ値を求めることで、各パラメータの最適化が可能となる。

【0113】本実施例によれば、母比率の精度を誤差1~2%にするために必要な母数(サンプル数)は数千であり、数百バイト(概ね1セクタ)の情報量で十分である。

【0114】従って、従来のBERの測定による最適化と比較して、10万分の1程度の時間で済む。このため、より多くの最適化を要するパラメータの最適化が比較的容易に短時間で実施でき、装置性能の向上が期待できる。更には調整時間の短縮による装置コストの低減も期待できる。

【0115】なお、誤差検出回路は等化回路に出力モニタ等を設けることによって、磁気ディスク装置の調整用の治具として装置外部に設けることも容易に実施できる。

【0116】上記実施例では、識別回路55で比較の対象とされる識別レベルは、固定的なものとしたが、図16に示す第2の識別回路(DET2)55の識別レベルを識別レベルレジスタ58で任意に設定できるように変形してもよい。

【0117】誤差検出回路の第2の識別回路の識別レベルを任意に設定可能とすれば、閾値を変えての識別が可能となり、この時以下のような利点が生じる。通常第2の識別回路は+1、0、-1の3値を識別するために、+0.5、-0.5の2値の識別レベルを持つ。ここで例えば、等化回路の出力データパターンとして、+1と-1の2値しか取りえないデータパターンを識別する場合、上記の識別レベルでは誤差や雑音の大きさによっては識別誤りが生じやすい。

【0118】本実施例によれば、閾値(識別レベルレジ

スタ値)を"0"に近く設定すれば、実質的に2値の識別回路として動作させることができ、識別性能が向上する(耐雑音性が約2倍に向上)と共に、誤差信号もより正確な値が得られる。従って、より正確な装置の最適化が可能となる。

【0119】更に、レジスタ59を付加して、第2の識別回路(DET2)55の識別レベル数を設定するようにすることも可能である。

【0120】第2の識別回路を1つの閾値(0)を持つ2値出力(+1, -1)の識別回路として動作させることができれば、特定のデータパターン時に識別性能を向上させる(耐雑音性が2倍に向上)ことが可能である。本実施例では、レジスタ59で第2の識別回路の識別レベル数(0, 1, 2)を設定する。DET2は、識別レベル数、即ちレジスタ59の値が"2"の時は、レジスタ58で設定される値を正負の閾値(レジスタ58の値が0.5なら、閾値は-0.5と+0.5)とする3値の出力(+1, 0, -1)の識別回路として動作し、識別レベル数が"1"の時は、レジスタ58に関係なく閾値は"0"で2値の出力(+1, -1)の識別回路、レジスタ59が"0"の時は、DET2の出力は"0"となるように動作する。

【0121】本実施例によれば、レジスタ58のみによって識別レベルを任意に設定することができる。更にレジスタ58と59を併用することによって、誤差信号がさらに正確に得られる。また、識別レベル数を"0"に設定した時、MLへの入力信号をそのまま判別手段に入力できる。

【0122】本発明による実施例の誤差検出回路32を用いた記録電流値の最適化について説明する。

【0123】本実施例を用いた記録電流値の最適化では、信号処理回路38の記録電流設定レジスタと記録電流設定回路60と記録電流出力端子を用いる。

【0124】磁気ディスク装置7の記録ヘッド9の記録電流値と信号処理回路38に入力される再生出力振幅の関係は、ほぼ図5に示すようになる。一般に再生ヘッド8が検出する再生出力振幅が大きいほど再生信号の品質は良い。この時、例えば信号処理回路38の識別手段(ML)22の入力信号が $\cdots +1, +1, -1, -1, +1, +1 \cdots$ パターンに対応した信号となるような繰り返しデータを記録すると、自動利得調整回路(AGC)によって平均的な信号振幅は、正負の等化目標値の2レベルのみとなり、"0"に対応するレベルは存在しない。再生出力振幅が小さな程、信号に対して雑音の比率が増加するので、誤差信号が増大し、誤差検出回路32の判別手段に入力される信号の分散も図5に示すように増加する。

【0125】従って、誤差検出回路32の判別手段で負の適当な閾値で判別し、閾値以上となる場合を、記録電流値を変えて記録する毎に実施することによって、カウ

ント値が最大となる(即ち信号対雑音比が最大となる)場合の記録電流値を求めることが可能である。なお、上記特定パターンとなる記録信号の再生では、信号がほぼ単一の周波数成分しか持たないことから、等化回路等の誤差や、記録補正回路の誤差、再生ヘッドの非線形性などが影響しにくくなり、精度の高い記録電流の最適化が可能となる。また、判別手段の閾値を変えて複数回測定した結果を用いれば、例えば直流オフセットによる精度劣化を回避できるなど、高性能化が図れることは明らかである。

【0126】次に本発明による実施例の誤差検出回路32を用いたセンス電流値の最適化について説明する。

【0127】本実施例を用いたセンス電流値の最適化では、信号処理回路38に再生ヘッド8のセンス電流設定レジスタとセンス電流設定回路61とセンス電流出力端子を用いる。

【0128】磁気抵抗効果素子を磁気ディスク装置7の再生ヘッド8とする場合、ヘッド8のバイアス磁化が最適化されていないと、孤立磁化の極性の違いで再生波形の振幅が異なる現象が生じる。この孤立波形は交流結合して信号処理回路38に入力されるため図6に示すように識別信号の0レベルがずれる。従って、磁気ディスク上の磁化状態として最も磁化密度が疎になるような記録パターンで記録し、センス電流を変える毎に下記に示すERRC32による誤差検出を実施する。

【0129】即ち、第2の識別回路の識別レベル数を"0"とし、識別回路の入力信号がそのまま判別手段に出力するようにすると共に、判別手段の閾値を"0"に設定して、一定期間閾値"0"以上となる場合をカウントする。センス電流によるバイアス磁化が最適化されておらず振幅比が異なる場合には、誤差信号の平均値が"0"からずれるので、全母数に対するカウント値の比率が $1/2$ からずれる。なお、識別回路22の入力信号が量子化されている場合、カウント比率は最適なセンス電流の設定において、やや大きめにシフトするため、量子化のビット数を考慮する必要があることは明らかである。

【0130】本実施例によれば、誤差信号の平均値の"0"からのずれが基準値以下であり、かつ分散が最も小さいセンス電流値を選択することにより、センス電流の最適化が可能となる。また、この時、等化回路の係数値や、記録補正量は最適化されている必要はない。

【0131】次に本発明による実施例の誤差検出回路32を用いたADCの直流オフセット補正量の最適化について説明する。

【0132】本実施例を用いたADCの直流オフセット補正量の最適化では、ADC19に直流オフセット補正用のオフセット設定回路62とオフセット補正レジスタを用い、無信号状態のオフセット量を、誤差検出回路32で検出する。

10

20

30

40

50

【0133】識別回路22の入力信号がほぼランダム的な小さな回路雑音のみとなるようにし、オフセット補正量の設定を変える毎に誤差検出回路32で誤差検出を実施することによって、誤差信号の平均値の“0”からのずれが最も小さいオフセット補正量を最適オフセット補正量とする。なお、等化回路20や識別回路(ML)22がアナログ回路の場合、ML22の入力部分にオフセット設定回路62を設けるのが適切であることは明らかである。

【0134】本実施例によれば、比較的容易に回路部のオフセット調整が可能となる。なお、等化回路の係数値などは基本的には任意で良い。

【0135】更に他の代替例として、上述のものとはオフセットの検出方法を異なるようにしてもよい。

【0136】本実施例を用いたADCの直流オフセット補正量の最適化では、信号処理回路38に直流オフセット補正用のオフセット設定回路62とオフセット補正レジスタを用い、単一周波数の信号を入力して誤差検出回路32を用いるようにしている。

【0137】記録データを単一記録周波数状とし、前述の実施例で示した記録電流値の最適化での説明と同様な誤差検出を行なう。オフセットが生じると、それを識別回路入力での等化目標値に補正するようにAGCやPLLの制御がかかるが、AGCやPLLには基本的にオフセットを補正する機能がないので、制御動作の結果としてジッタ(雑音)が増加するか、等化目標値からのずれが生じる。従って、オフセット補正量の設定を変える毎に誤差検出を実施することによって、識別回路22の入力の誤差の分散が最も小さくなるオフセット補正量を探索し、この時のオフセット補正量を最適オフセット補正量とする。

【0138】本実施例によれば、前述の記録電流値の最適化と同一手段をとれる。従って、記録電流の最適化に先立って、本実施例で示したオフセット調整が実施でき、調整時間の短縮が図れる。なお、等化回路の係数値や記録補正量、記録電流値、センス電流値などは基本的には任意で良い。

【0139】次に本発明による実施例の誤差検出回路32を用いた等化回路20のタップ係数値の最適化について説明する。

【0140】本実施例を用いた等化回路20のタップ係数値の最適化では、等化回路20に特性を与える係数値レジスタと誤差検出回路32とを用い、係数補正回路31を用いない。特定の記録再生領域で、係数補正回路31を用いた係数補正を実施した時、近接した他の領域の係数値がおおよそ推定できる場合がある。この場合、係数値レジスタにセットした推定した係数値で誤差検出を実施し、誤差値によって推定した係数値を採用するかどうかを判断する。

【0141】この時、記録データをランダム的なデータ

とし、第2の識別回路の識別レベル数は“2”とする。

【0142】本実施例によれば、通常のユーザデータの再生時においても、係数値レジスタに係数値をセットして、誤差検出回路32で誤差量をチェックすることによって、係数値が適当かどうかを判定できる。さらには、とりうる係数値の組合せを数種類用意しておき、これらの中から等化誤差の分散が最も小さい係数値を選択して採用することも可能となる。

【0143】次に本発明による実施例の誤差検出回路32を用いた記録補正量の最適化について説明する。

【0144】本実施例を用いた記録補正量の最適化では、データ記録時の磁化反転位置をデータシーケンスに応じて補正する記録補正回路12の補正值レジスタを用いる。

【0145】記録密度が高くなって、ビット間隔が近接すると、磁化の反転位置が近接するといった現象が生じる。このために、記録補正回路12では予め磁化が移動する量を記録データシーケンスから推定して、磁化の反転位置を補正しながら記録する。この時、正確に補正できたかどうかを、誤差検出回路を用いて判断する。

【0146】この時、記録データをランダム的なデータとし、記録補正回路12の補正值レジスタを変えて記録し、記録したデータを再生する度に誤差検出を実施する。識別回路の入力の誤差の分散が最も小さい記録補正值を選択することにより、記録補正量の最適化が可能である。

【0147】上述した誤差検出回路32の更に他の変形例を図17を用いて説明する。

【0148】本例では、識別回路22の入力信号を入力信号とし、閾値以上の入力信号でカウント信号を出力する判別回路56と、判別回路56から出力されるカウント信号をカウントするカウンタ49と、閾値を設定するレジスタ57とを備えて構成される。

【0149】本実施例によれば、識別回路の入力信号がほぼランダム的な回路雑音のみとなるようにし、オフセット補正量の設定を変える毎に誤差検出を実施することによって、等化回路出力の誤差信号の平均値の“0”からのずれが最も小さいオフセット補正量を選択することにより、オフセット補正量を最適化できる。同様にし、磁気抵抗効果型再生ヘッドのセンス電流の最適化が可能である。

【0150】本発明の図17に示した誤差検出回路32の他の変形例を図18を用いて説明する。

【0151】誤差検出回路32は、識別回路22の入力信号を入力信号とし、閾値未満の入力信号でカウント信号を出力する第1の判別回路56と、第1の判別回路56から出力されるカウント信号をカウントする第1のカウンタ49と、閾値を超える入力信号でカウント信号を出力する第2の判別回路561と、第2の判別回路561から出力されるカウント信号をカウントする第2のカ

ウンタ491と、第1のカウンタ手段49のカウンタ値から第2のカウンタ491のカウンタ値を減算する加算器41と、閾値を設定するレジスタ57とを有する。

【0152】本実施例によれば、等化回路の出力信号をそのまま誤差カウントすることによって、オフセット調整の最適化や磁気抵抗効果型再生ヘッドのセンス電流の最適化が可能である。

【0153】本発明の図17に示した誤差検出回路32の更に他の変形例を図19を用いて説明する。

【0154】本例では、図17もしくは図18の実施例に示した誤差検出回路32を用い、更に識別回路22の入力信号のうち、符号ビット(SB)を除いた信号を入力信号とする。

【0155】識別回路の入力信号(等化回路の出力信号)の符号ビットを除くと、この時の信号は、もとの信号が負の場合正の信号に変換され、正の信号の場合変化しない(もとの信号が2の補数表現の場合)。等化回路の出力信号が+1, +1, -1, -1, +1, +1, -1, -1, ...というようにほぼ単一の周波数成分である場合、この時の符号ビットを除いた信号は図7に示すように変換される。

【0156】本実施例によれば、判別手段の閾値を等化回路の等化目標値付近に設定すれば、目標値からの誤差の分散を検出できる。

【0157】本発明の図17に示した誤差検出回路32の更に他の変形例を図20を用いて説明する。

【0158】この例では、上記の誤差検出回路と異なるもう一つの誤差検出回路を用いる。

【0159】図18もしくは図19と図20の実施例に示した誤差検出回路32を用いる。識別回路22の入力信号のうち、符号ビット(SB)を除いた信号を入力信号とする第1のモードと符号ビット(SB)も入力信号とする第2のモードとを有し、モードの切り替えをレジスタ64で設定する。

【0160】本実施例によれば、上記第2の識別回路を用いるよりも、より簡単な回路となり、ほとんど同一の手法でオフセット調整、記録電流の最適化、センス電流の最適化が可能である。

【0161】次に本発明のPRECODER13のリセット手段について説明する。

【0162】本実施例では、各種パラメータの最適化に必要な特定の記録データパターンの記録や再生の信頼性を向上させるために、データの記録時に、プリコーダ13をデータ開始を示すバイトである"シンクバイト"の直前でリセットする回路を用いる。

【0163】本実施例によれば、シンクバイト以降のデータパターンの磁化状態が規定でき、上記各パラメータの最適化に必要な特定のパターンの記録が可能となる。また、磁気ディスク装置7の出荷時のチェック時に記録する特定のパターンも、磁化状態を規定しながら記録す

ることができ、装置の信頼性向上が期待できる。

【0164】本発明のシンクバイト符号列について図21と図22を用いて説明する。

【0165】本実施例では、各種パラメータの最適化に必要な特定の記録データパターンの記録や再生の信頼性を向上させるために、シンクバイト検出回路25に本発明によるシンクバイトに対応する符号列を適用する。シンクバイトに対応する符号列はレジスタ68にセットされ、これとML出力の符号列とを論理素子EOR回路(EOR)66で比較し、その全出力ビットを論理素子NOR回路(NOR)67で処理することによって、シンクバイトの検出信号を構成し、検出結果をSPIF33を介してHDC4へ出力する。ここで、図22に示すように、データ"1"で磁化反転を生じ、データ"0"で記録電流方向を維持する記録方式を用い、シリアルデータの先頭が"0"で始まると共に、シリアルなデータ系列中にデータ"1"が連続して存在しないシンクバイトの符号列とする。さらには、上記実施例に加えて、シンクバイトに対応するML出力での符号列の"0"と"1"の系列が、シンクバイト以前に連続的に記録される先行バイトに対応するML出力での符号列の"0"と"1"の系列に対して、データ系列の1/2以上異なっているシンクバイトの符号列とする。ここでは、符号列(NRZI)では、"001000100"とし、ML出力に対応したレジスタ68には"001100110"をセットしている。

【0166】本実施例によれば、先行して記録される自動利得調整回路と自動位相同期回路のための先行バイトのデータパターンと干渉せず、かつ記録時の非線形歪も生じにくいシンクバイトとすることが可能となる。従って、記録電流やセンス電流、等化回路の係数が最適化されていなくとも比較的容易にシンクバイトを検出できる。

【0167】本発明の他の実施例として、図1に示すように自動利得調整回路(AGC)の目標振幅値を、レジスタ設定によって可変とする目標振幅値設定手段をGCC29に用いる。

【0168】本実施例によれば、入力信号の分解能が低い場合、AGCの目標振幅値を小さくすることによって、信号処理回路の各部で信号が飽和するのを防止することができ、例えばインパルス状の雑音にも耐えうる。また、入力信号の分解能が高い場合は、逆にAGCの目標振幅値を大きくすることによって、ADC19の量子化雑音、VGA17やLPF18等が発生する回路雑音等が信号雑音に対する比率を小さくでき、装置性能(例えばBER)を向上させることができる。

【0169】本発明の他の実施例を図23を用いて説明する。

【0170】この例は、本発明を2チップ信号処理LSIとして磁気ディスク装置に適用したものである。

【0171】全ての信号処理の構成要素を含む1チップのLSIとして実現できるのが好ましいが、消費電力が大きい場合には2チップ以上に分割するのが好ましい。

【0172】このような問題を解決するために、本実施例では、大別してアナログチップ38-Aとデジタルチップ38-Dの2チップ構成のLSIとし、デジタルチップ38-Dの自動利得調整回路(AGC)及び自動位相同期回路(PLL)の各制御回路の出力を電流出力型のADC30及びDAC27を介してピン出力し、アナログチップ38-Aの可変利得増幅回路(VGA)17と電圧制御振回路(RVCO)28に入力している。他にもアナログチップ38-Aには、VGA17、LPF18、ADC19、RVCO28、WVCO18、P/H69、サーボ信号のグレイコードのコンパレータ(CMP)70等を含む。

【0173】本実施例によれば、デジタルチップからDACの電流で出力することにより、自身のチップから混入しうる雑音の影響を小さくできると共に、数ビットのデジタル信号として出力する場合に比べてピン数も大幅に削減できる。また、アナログの設計法、レイアウト法を必要とするADC、RVCO、WVCOはアナログチップに配置する方が、性能上あるいは回路規模や消費電力の観点から望ましい。もちろんこれらをデジタルチップに配置することも可能であり、その場合には、アナログ、デジタルチップ間の信号ピン数を更に削減できる。

【0174】本実施例において、信号処理LSIと磁気ディスク装置の他の回路部分との信号インターフェイスに以下のような特徴がある。

【0175】第1に、アナログ信号であるR/WICからの再生信号や、記録電流、センス電流の設定信号、及びP/Hの出力信号はアナログLSIに入出力となる。第2に、デジタル信号であるHDC、CNTとの間の信号はデジタル入出力となる。

【0176】第3に、アナログLSIとデジタルLSIの間の信号は、ADC後のデジタル信号、RVCO、VGAの制御信号であるDAC電流信号である。

【0177】2チップ構成とすることにより、それぞれのチップで、プロセス設計法、製作法等を別々に選定することが可能になり、個々の性能アップ及び開発効率の向上が期待できる。例えば、アナログチップはアナログ特性として良好でかつ実績のあるバイポーラやBiCMOSプロセスで製作し、デジタルチップは低消費電力化が容易なCMOSプロセスで作成することが可能である。もちろん同一のプロセス、例えばBiCMOS、あるいはCMOSプロセスで作成することも可能である。また、設計、製作法の一つとして、レイアウトに関して、アナログ部はマニュアルで、デジタル部は自動レイアウトでというようにそれぞれに最適な手法で実施することが可能である。また、消費電力が分散することによる低価格パッケージの使用、個々のチップサイズが小さ

くなることによる歩留まり向上、などによってLSIチップとしての低コスト化が期待できる。さらには、それを用いた磁気ディスク装置の低コスト化が期待できる。なお、上記実施例では2チップの例を示したが、本発明はこれに限らず3チップ以上の構成としてもよい。

【0178】尚、本発明は最尤復号やPR4に限定されるものではなく、他の公知の振幅弁別方式を用いるものでもよい。EPR、EEPRといったパーシャルレスポンスの波形処理と最尤復号との組合せ、さらにトレリス符号化変調方式との組合せにも適用できる。

【0179】

【発明の効果】高速転送対応の信号処理回路または磁気記録再生装置に、本発明による等化回路の係数補正回路や誤差検出回路等を適用することにより、回路や装置の各種パラメータの最適化が比較的容易に、しかも短時間に行える。このため、信号処理回路や磁気記録再生装置の高性能化はもちろん、調整時間の短縮の効果もあり、回路および装置コストの大幅な低減が期待できる。

【図面の簡単な説明】

【図1】 本発明を磁気ディスク装置に適用した実施例を示す図である。

【図2】 磁気ディスク装置の位相マージン測定結果を示す図である。

【図3】 磁気ディスク装置の位相マージン測定結果から最適記録電流を決定する方法を示す図である。

【図4】 本発明による識別回路入力信号のヒストグラムと誤差信号のヒストグラムである。

【図5】 記録電流による再生出力振幅と、振幅の差による誤差分布の違いを示す図である。

【図6】 孤立波形の極性の違いで振幅が異なる場合の信号処理回路への入力波形である。

【図7】 符号ビットの除去による信号変換を示す図である。

【図8】 本発明の実施例の等化回路と係数補正回路を示す図である。

【図9】 本発明の実施例の等化回路の代替例を示す図である。

【図10】 本発明の実施例の等化回路の他の例を示す図である。

【図11】 本発明の実施例の係数補正回路の詳細を示す図である。

【図12】 本発明の実施例の係数補正回路の代替変形例を示す図である。

【図13】 本発明の実施例の係数補正回路の他の例を示す図である。

【図14】 本発明の実施例の係数補正回路の代替例を示す図である。

【図15】 本発明の実施例の誤差検出回路を示す図である。

【図16】 本発明の実施例の誤差検出回路の変形例を

示す図である。

【図17】 本発明の実施例の誤差検出回路の変形例を示す図である。

【図18】 本発明の実施例の誤差検出回路の変形例を示す図である。

【図19】 本発明の実施例の誤差検出回路の変形例を示す図である。

【図20】 本発明の実施例の誤差検出回路の変形例を示す図である。

【図21】 本発明の実施例のシンクバイト検出回路を示す図である。

【図22】 本発明の実施例のシンクバイト検出回路を説明する図である。

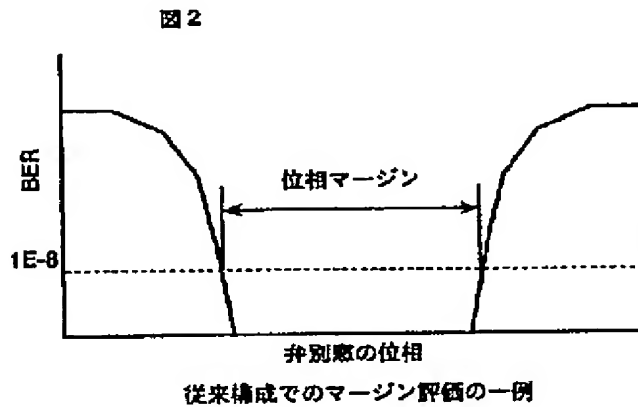
*

*【図23】 本発明の他の実施例を示す図である。

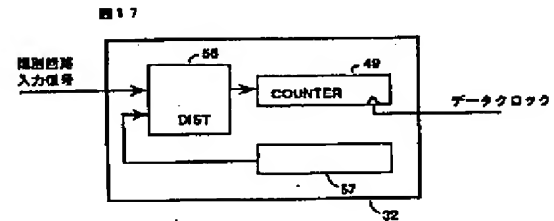
【符号の説明】

1…HDA, 2…記録信号処理回路(WSPC), 3…再生信号処理回路(RSPC), 4…HDC, 5…サーボ信号処理回路(SRVC), 6…装置コントローラ(CNT), 7…磁気ディスク装置(HDD), 8…MRヘッド, 9…INDヘッド, 11…R/WIC, 17…VGA, 18…プログラマブルフィルタ(LPF), 19…A/D変換器(ADC), 20…トランスバーサル型フィルタ(TREQ), 22…ビタビ復号器(ML), 25…シンクバイト検出回路(SYNCDET), 31…係数補正回路(CCMP), 32…誤差検出回路(ERRC)。

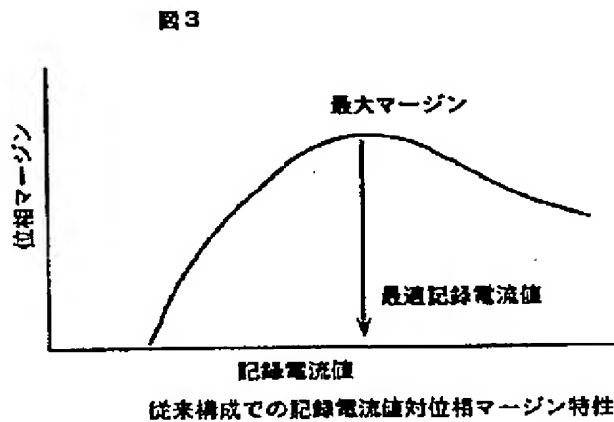
【図2】



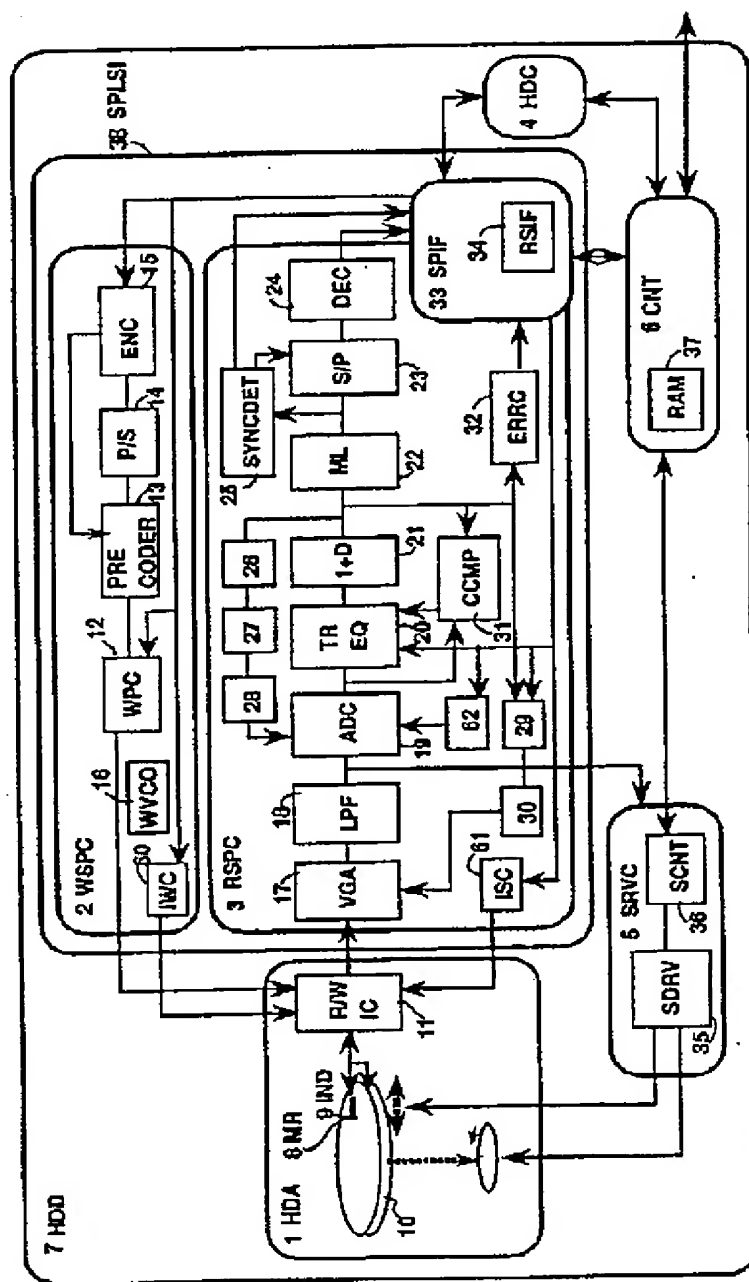
【図17】



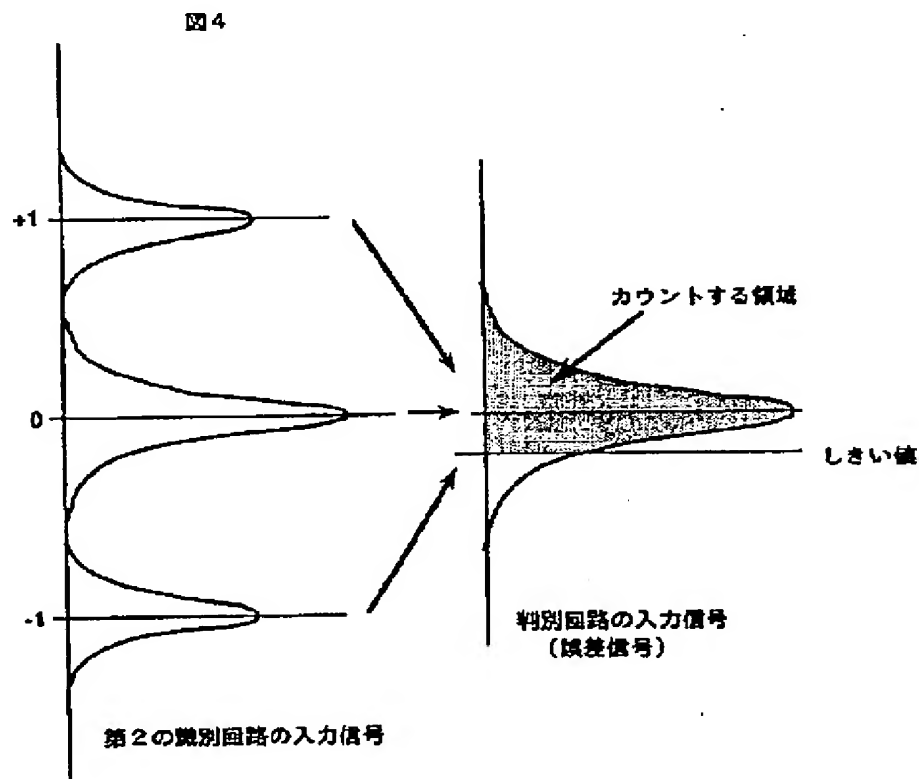
【図3】



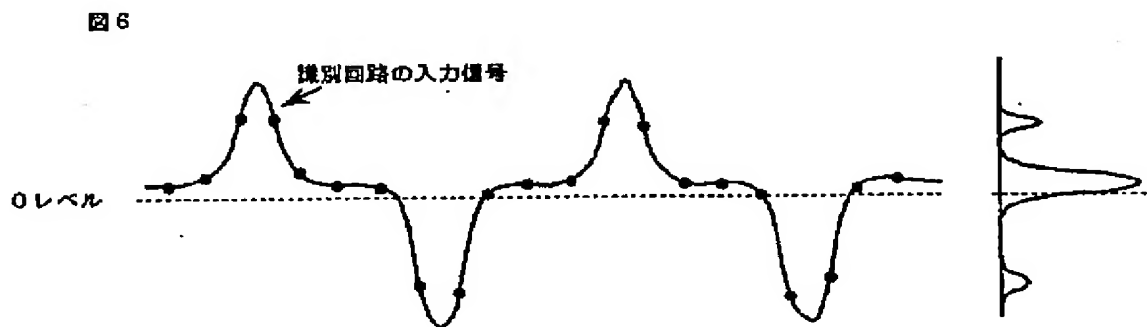
【圖 1】



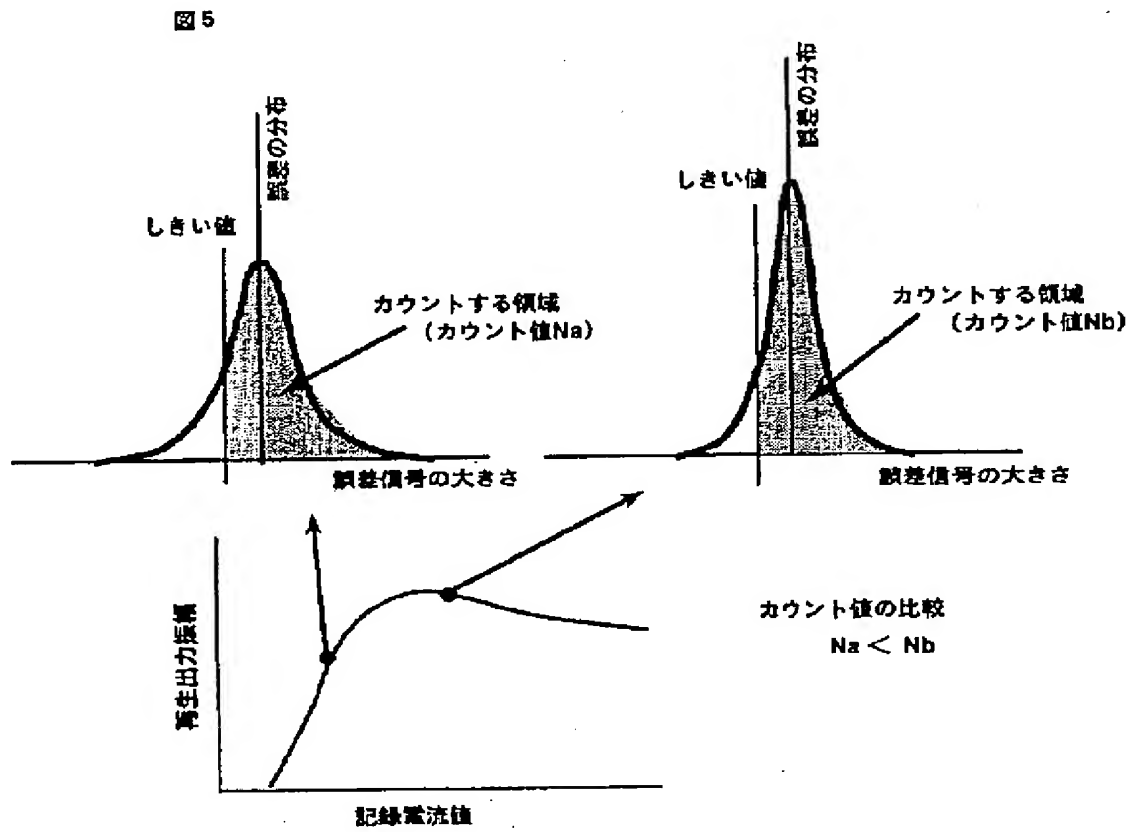
【図4】



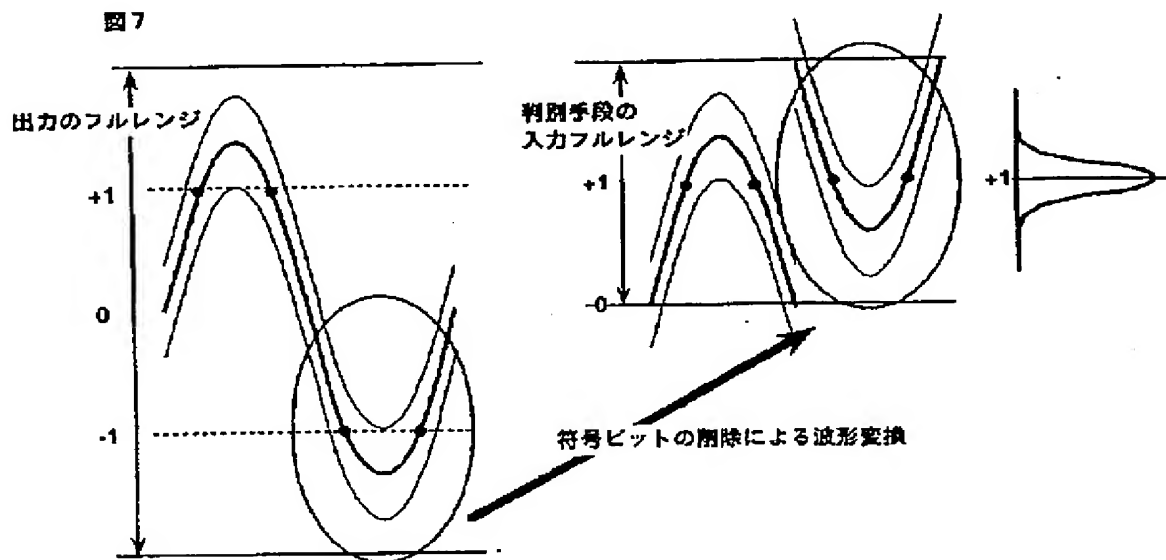
【図6】



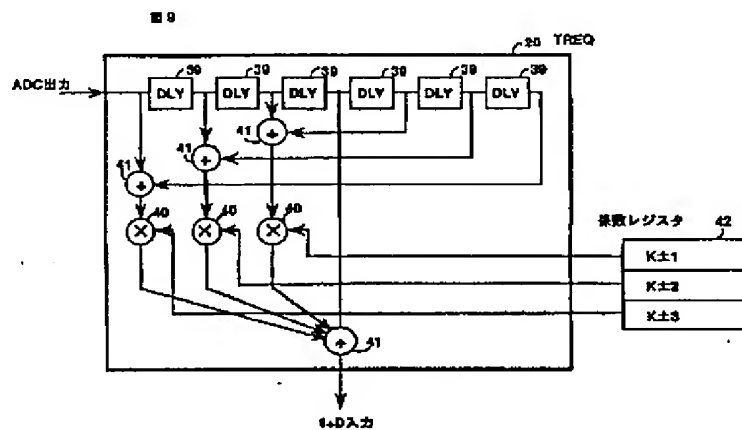
【図5】



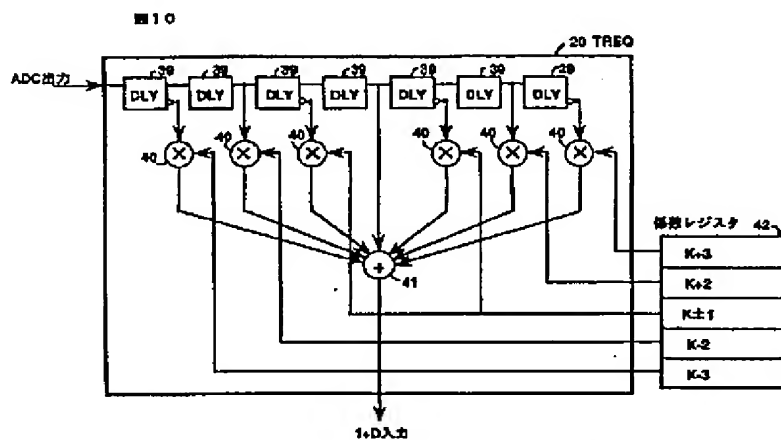
【図7】



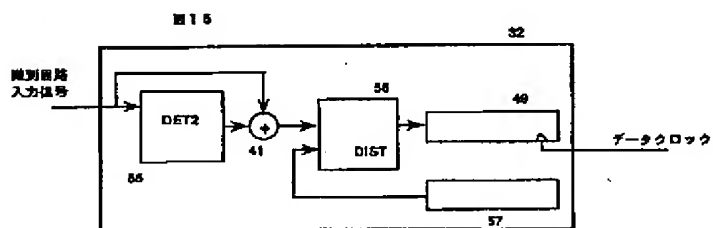
【图9】



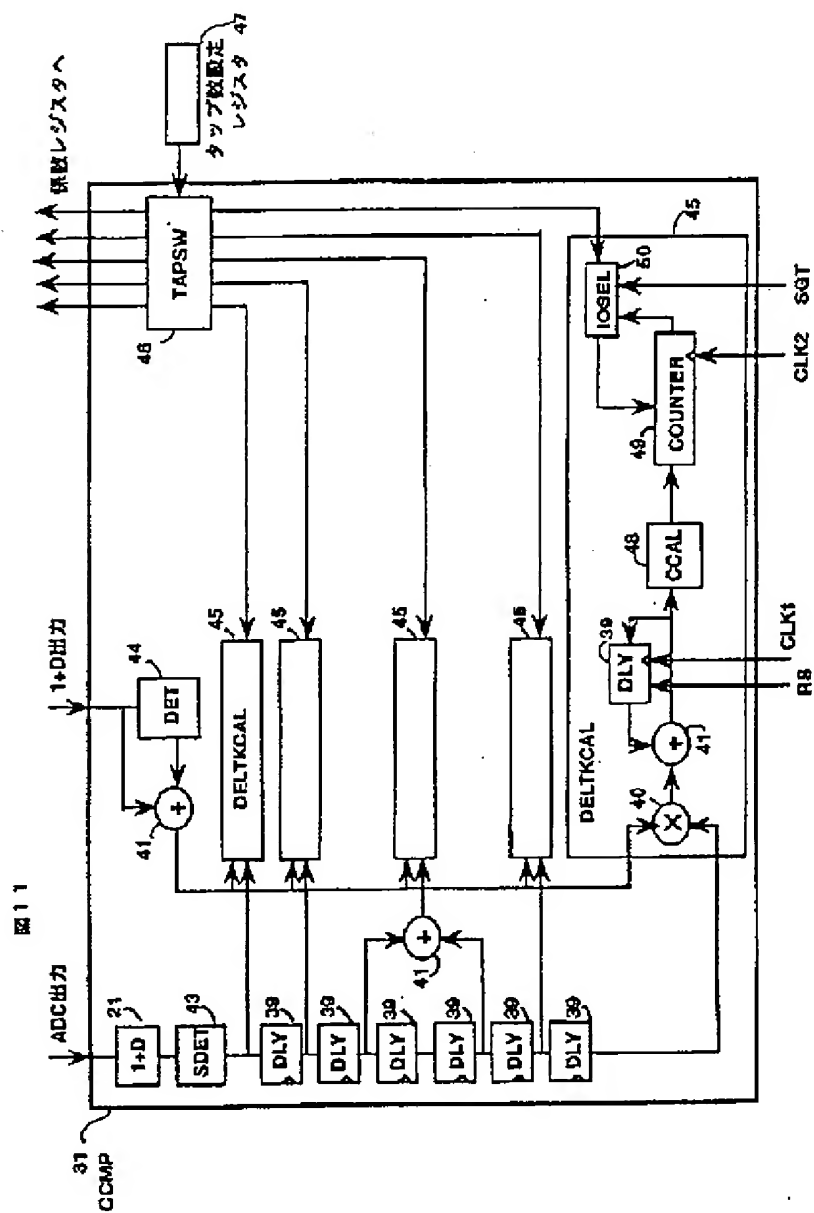
【图10】



【圖 15】

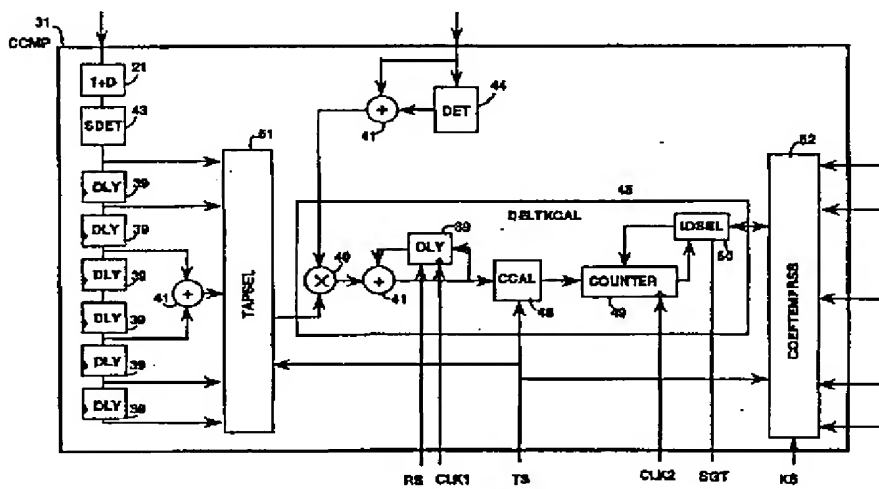


【圖 1 1】



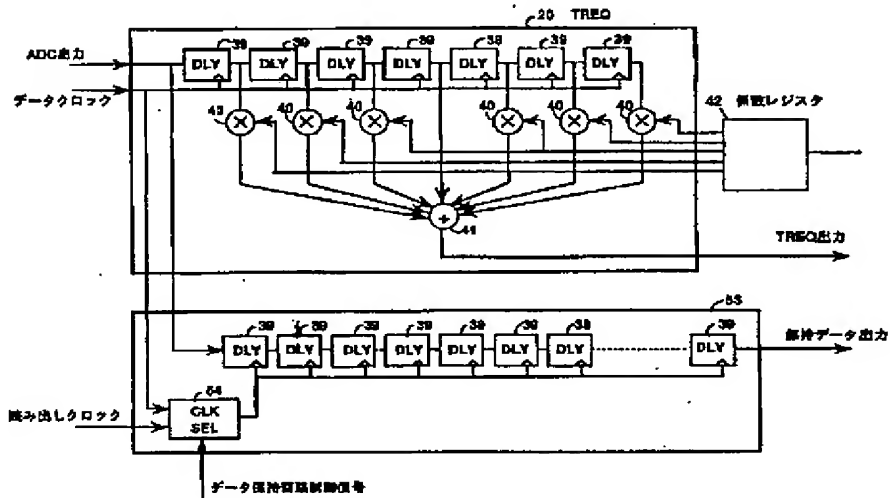
【圖 12】

圖 12



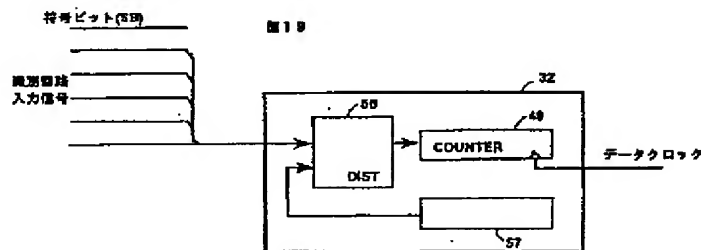
【图 14】

14

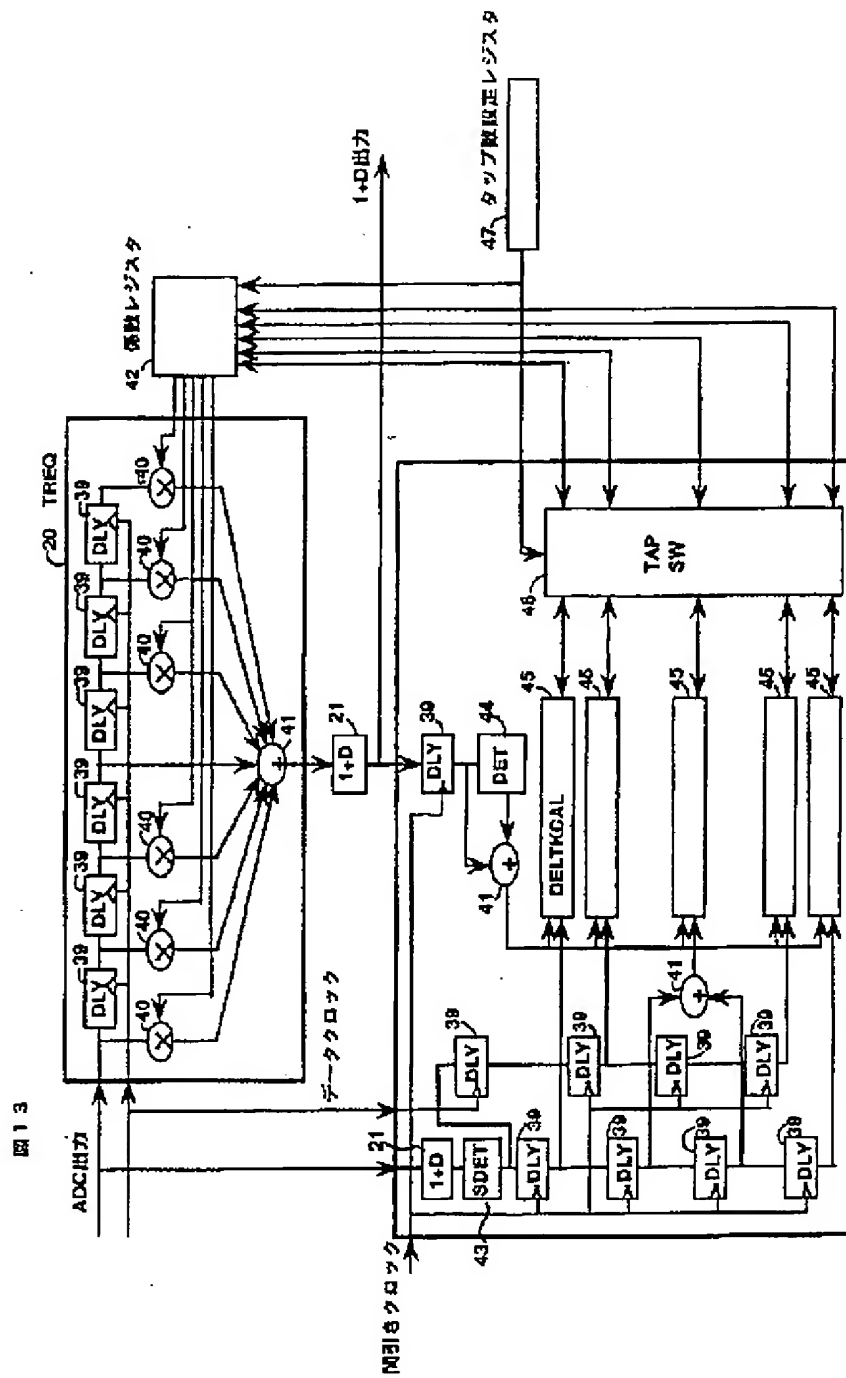


【圖 19】

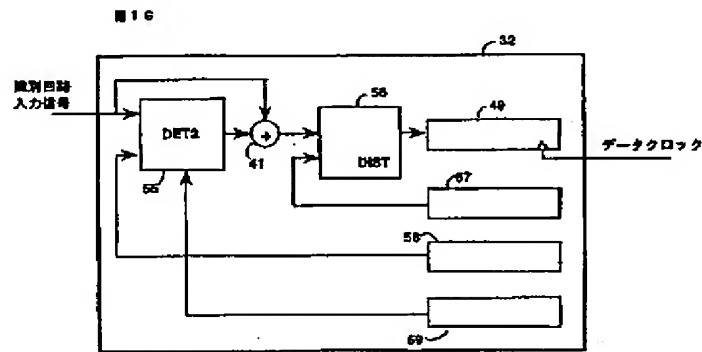
EX 1 9



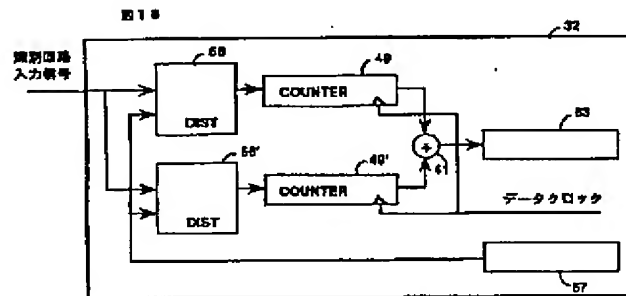
【図13】



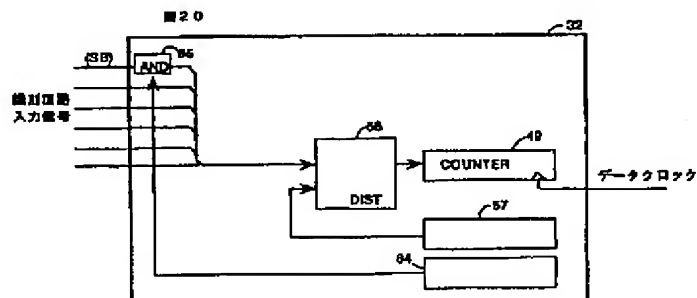
【図16】



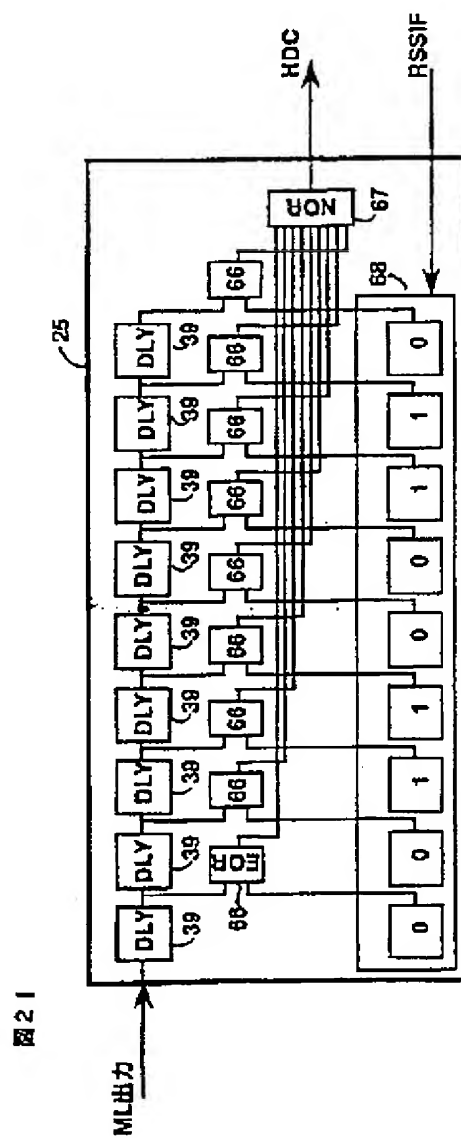
【図18】



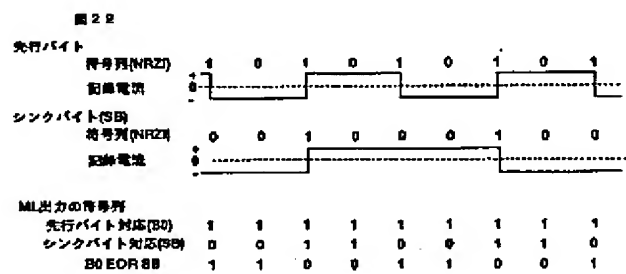
【図20】



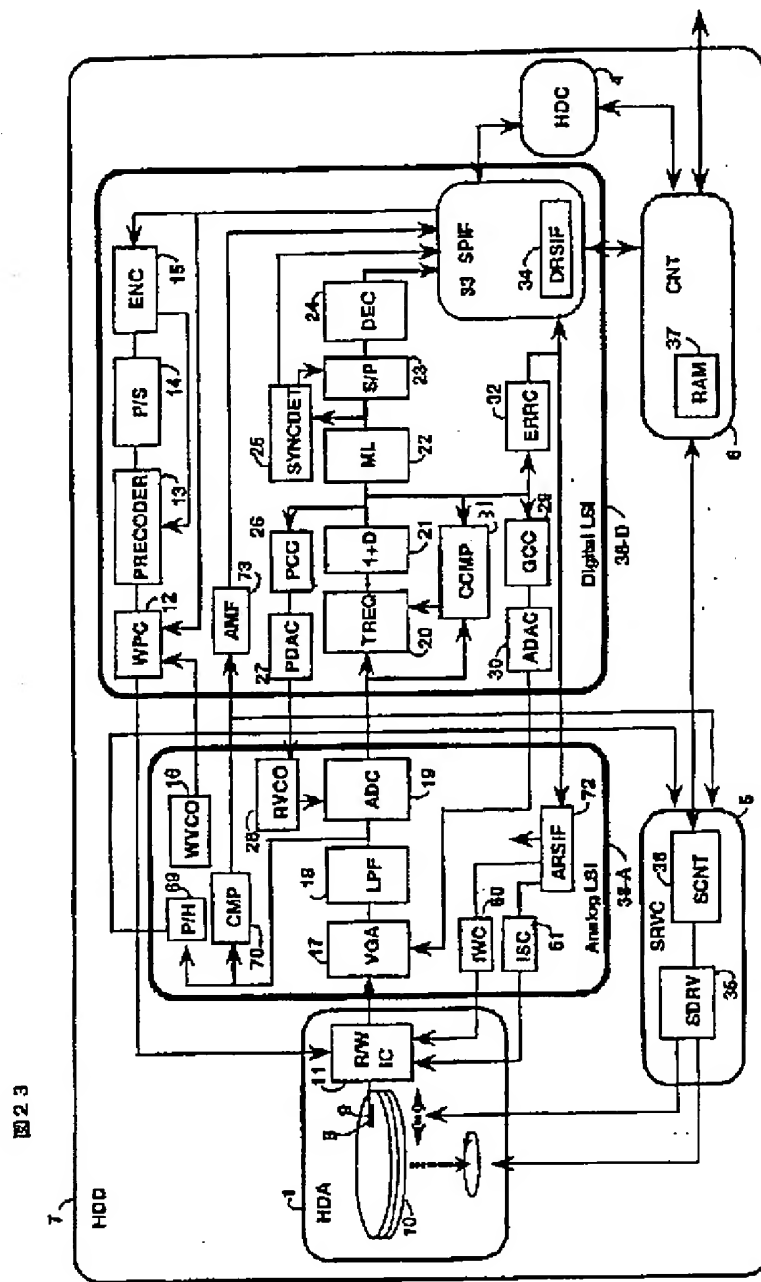
【図21】



【図22】



[図23]



フロントページの続き

(72)発明者 宮沢 章一

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 高師 輝実

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72)発明者 堀 洋介
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 渡部 善寿
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 平野 章彦
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 美濃島 智
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 宮坂 秀樹
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 新田 敏裕
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 平井 智明
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 下川 龍志
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 志田 光司
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 大内 康英
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内